

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-150427

(43)Date of publication of application : 02.06.1999

(51)Int.Cl.

H03F 3/20

G09G 3/36

H03F 1/34

H03F 3/45

(21)Application number : 10-221552

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 05.08.1998

(72)Inventor : ITAKURA TETSURO
SHIMA TAKESHI

(30)Priority

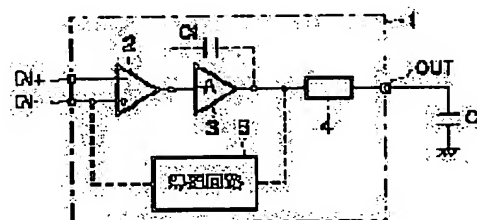
Priority number : 09210549 Priority date : 05.08.1997 Priority country : JP

(54) AMPLIFIER CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an amplifier circuit, capable reducing chip area and being operated stably by eliminating the need for phase compensation capacity for stabilization or for sharply reduction it.

SOLUTION: An input amplifier stage 2 and an output amplifier stage 3 are connected in cascade between signal input terminal IN+, IN- and a signal output terminal OUT of an amplifier circuit 1, and a resistor circuit 4, including at least one resistor, is inserted between an output terminal of the output amplifier stage 3 and the signal output terminal OUT. Thus, first zero point with a frequency lower than the frequency at with the gain is unity is formed in a closed loop frequency which is characteristic of the amplifier circuit 1.



LEGAL STATUS

[Date of request for examination]

11.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The amplifying circuit characterized by having a resistance circuit including at least one resistance inserted in the amplifying circuit which drives a capacitive load between two or more magnification stages by which cascade connection was carried out between the signal input terminal of this amplifying circuit, and the signal output terminal, and which have an input magnification stage and an output magnification stage at least, and the outgoing end of said output magnification stage and said signal output terminal.

[Claim 2] Two or more magnification stages by which cascade connection was carried out between the signal input terminal of this amplifying circuit, and the signal output terminal in the amplifying circuit which drives a capacitive load and which have an input magnification stage and an output magnification stage at least, It is the amplifying circuit which has a resistance circuit including two or more resistance inserted between the outgoing end of said output magnification stage, and said signal output terminal, and is characterized by connecting said resistance circuit between said at least one output magnification stage chosen from said two or more resistance, and said signal output terminal.

[Claim 3] The amplifying circuit according to claim 1 or 2 characterized by having the feedback path which returns from the outgoing end of said output magnification stage to the input edge of said input magnification stage.

[Claim 4] An amplifying circuit given in any 1 term of claims 1-3 characterized by the frequency of the 2nd pole which appears in the open loop frequency characteristics of said amplifying circuit being lower than the frequency from which the gain of said amplifying circuit is set to 1, and the frequency of the 1st zero point which appears in these open loop frequency characteristics being lower than the frequency from which the gain of said amplifying circuit is set to 1.

[Claim 5] Said amplifying circuit is an amplifying circuit given in any 1 term of 1-4 which are characterized by having a feedback path containing capacity between the I/O edges of said output magnification stage.

[Claim 6] Said amplifying circuit is an amplifying circuit given in any 1 term of claims 1-5 which input the input signal electrical potential difference which changes to said signal input terminal for every predetermined period, and are characterized by the time constant by the capacity component of said resistance circuit and said capacitive load being $1/5$ or less [of said predetermined period].

[Claim 7] The resistance of said resistance circuit is an amplifying circuit according to claim 6 characterized by being less than [$50\text{k}\Omega$].

[Claim 8] Said resistance circuit is an amplifying circuit according to claim 2 characterized by consisting of two or more resistance and two or more switches, and the resistance of this resistance circuit being set up by turning on and off of this switch.

[Claim 9] Said resistance circuit is an amplifying circuit given in any 1 term of claims 1-8 characterized by being constituted by the on resistance of a field-effect transistor.

[Claim 10] Said amplifying circuit is an amplifying circuit given in any 1 term of claims 1-9 characterized by having further a means by which the input signal level inputted into said signal input terminal detects having changed to the predetermined polarity, and controls the bias current of said output magnification stage.

[Claim 11] Said input magnification stage has the forward side amplifying circuit and negative side amplifying circuit which input the 1st and 2nd input signals which change to a forward side and a negative side to a predetermined common electrical potential difference, respectively, respectively. The 1st differential transistor pair into which said forward side amplifying circuit inputs said 1st input signal, this -- with the 1st current source which gives the 1st tail current of a differential transistor pair The 1st current mirror by which the current input edge and the current outgoing end were connected to said 1st two outgoing end of a differential transistor pair, respectively, It consists of the 1st switch formed between said 1st two outgoing end of a differential transistor pair. Said negative side amplifying circuit the 2nd differential transistor pair which inputs said 2nd input signal -- this -- with the 1st current source which gives the 2nd tail current of a differential transistor pair The 2nd current mirror by which the current input edge and the current outgoing end were connected to said 2nd two outgoing end of a differential transistor pair, respectively, When it consists of the 2nd switch formed between said 2nd two outgoing end of a differential transistor pair and said 1st input signal is inputted into said forward side amplifying circuit When said 1st switch is controlled by the OFF state, said 2nd switch is controlled by the ON state, respectively

and said 2nd input signal is inputted into said negative side amplifying circuit Said 1st switch is controlled by the ON state and said 2nd switch is controlled by the OFF state, respectively. Said output magnification stage Each drain or collector is constituted by the outgoing end of this output magnification stage by the KOMPURIMENTARI transistor pair by which common connection was made. One gate or base of this KOMPURIMENTARI transistor pair is connected to one outgoing end of said forward side amplifying circuit. An amplifying circuit given in any 1 term of claims 1-10 characterized by connecting the gate or the base of another side of this KOMPURIMENTARI transistor pair to one outgoing end of said negative side amplifying circuit.

[Claim 12] Said input magnification stage has the forward side amplifying circuit and negative side amplifying circuit which input the 1st and 2nd input signals which change to a forward side and a negative side to a predetermined common electrical potential difference, respectively, respectively. The 1st differential transistor pair into which said forward side amplifying circuit inputs said 1st input signal, this -- with the 1st current source which gives the 1st tail current of a differential transistor pair The 1st current mirror by which a current input edge and the 1st current outgoing end were connected to said 1st two outgoing end of a differential transistor pair, respectively, It consists of the 1st switch formed between said 1st two outgoing end of a differential transistor pair, and the 3rd switch made to turn said 1st current source on and off. Said negative side amplifying circuit the 2nd differential transistor pair which inputs said 2nd input signal -- this -- with the 1st current source which gives the 2nd tail current of a differential transistor pair The 2nd current mirror by which a current input edge and the 1st current outgoing end were connected to said 2nd two outgoing end of a differential transistor pair, respectively, The 2nd switch formed between said 2nd two outgoing end of a differential transistor pair, It consists of the 4th switch made to turn said 2nd current source on and off. Furthermore, the 2nd current outgoing end of said 1st current mirror is connected to the current input edge of said 2nd current mirror through the 5th switch. The 2nd current outgoing end of said 2nd current mirror is connected to the current input edge of said 1st current mirror through the 6th switch. When said 1st input signal is inputted into said forward side amplifying circuit Said 1st, 4th, and 6th switches are controlled by the OFF state, and said 2nd, 3rd, and 5th switches are controlled by the ON state, respectively. When said 2nd input signal is inputted into said negative side amplifying circuit Said 1st, 4th, and 6th switches are controlled by the ON state, and said 2nd, 3rd, and 5th switches are controlled by the OFF state, respectively. Said output magnification stage Each drain or collector is

constituted by the outgoing end of this output magnification stage by the KOMPURIMENTARI transistor pair by which common connection was made. One gate or base of this KOMPURIMENTARI transistor pair is connected to one outgoing end of said forward side amplifying circuit. An amplifying circuit given in any 1 term of claims 1-10 characterized by connecting the gate or the base of another side of this KOMPURIMENTARI transistor pair to one outgoing end of said negative side amplifying circuit.

[Claim 13] Said input magnification stage is an amplifying circuit according to claim 1 which has the feedforward path which is constituted by the 1st input circuit which consisted of transistors of the 1st conductivity type to which said signal input terminal is connected, and the 2nd input circuit which consisted of transistors of the 2nd conductivity type to which said signal input terminal is connected, and contains a capacitive element at least from said the 1st or 2nd drain or source of a transistor to said output magnification stage.

[Claim 14] Said output magnification stage is constituted by the 1st and 2nd transistors which have the gate which receives a signal. The drain of said 1st transistor is connected to said signal output terminal. The drain of said 2nd transistor is connected with the source of said 1st transistor. The source of said 2nd transistor is an amplifying circuit according to claim 13 where it connects with the 1st power source, and said feedforward signal path is connected to the source of said 1st transistor, and the connection node of the drain of the 2nd transistor.

[Claim 15] The current source which supplies a bias current to said output magnification stage is an amplifying circuit according to claim 13 where it is constituted by the 3rd transistor which has the gate where bias voltage is impressed through a resistance element and this resistance element, and said foot forward signal path is connected to the connection node of the gate of said resistance element and said 3rd transistor.

[Claim 16] An amplifying circuit including a means to output said bias voltage by which the input signal level inputted into said signal input terminal detects having changed to the predetermined polarity, and controls the bias current of said output magnification stage according to claim 15.

[Claim 17] Said resistance element is an amplifying circuit according to claim 15 or 16 constituted by the field-effect transistor which has predetermined on resistance.

[Claim 18] It is liquid crystal display equipment which has the liquid crystal display with which array formation of the scanning line which intersects the signal line for giving the signal level according to a picture signal alternatively to two or more pixels

and each of these pixels and this signal line was carried out, the drive circuit which drives said signal line according to a picture signal, and the selection circuitry which makes sequential selection of said scanning line, and is characterized by for said drive circuit to have the amplifying circuit of a publication in any 1 term of claims 1-17.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] the liquid crystal display equipment using the amplifying circuit and this which drive a capacitive load according to the input signal electrical potential difference from which this invention changes for every predetermined period -- starting -- especially -- the facet for integration -- it is related with the amplifying circuit of a product and a low power.

[0002]

[Description of the Prior Art] Generally a liquid crystal cell is arranged in the shape of a matrix, and liquid crystal display equipment is constituted by the scanning-line selection circuitry which drives alternatively the liquid crystal display panel from which two or more signal lines and two or more scanning lines with which a picture signal is supplied crossed, and which they arranged and consisted of, and the liquid crystal display drive circuit and the scanning line for supplying a picture signal to a signal line and driving a liquid crystal display panel.

[0003] As for the signal-line drive circuit of the liquid crystal display drive circuit of this liquid crystal display equipment, the amplifying circuit of a voltage follower configuration has been used. The error during the I/O which the gain A of an amplifying circuit produces with a voltage follower configuration since it is limited is expressed with $1/A$ of input voltage. In order to make this error small, the thing of a two-step configuration has been used as an amplifying circuit of a signal-line drive circuit. Specifically, it was constituted by the input magnification stage and the output magnification stage which has the phase compensation capacitance C_f .

[0004]

[Problem(s) to be Solved by the Invention] With the conventional configuration, when the load-carrying capacity connected to an output magnification stage is large, in order

to operate an amplifying circuit to stability with a low power, phase compensation capacitance must be enlarged with about 3-5pF. Moreover, the transformer conductor of magnification [the 2nd step of] stage must be enlarged by enlarging a bias current. Therefore, when the drive circuit which contained 300 of this amplifying circuit, for example was integrated, since at least that [3-5pF / per amplifying circuit] needed the phase compensation capacitance Cf, the capacity of 900-1500pF was needed on the whole, and there was a problem that a chip area became very large. Moreover, there was a problem that the consumed electric current increased for stabilization.

[0005] As mentioned above, in the amplifying circuit connected to a mass capacitive load, there was a problem that total of phase compensation capacitance becomes very large to the extent that it is needed, in case two or more amplifying circuits are integrated, a chip area increased and cost became high, by the conventional technique of stabilizing an amplifying circuit with phase compensation capacitance. Moreover, there was a problem that the consumed electric current increased.

[0006]

[Means for Solving the Problem] As at least that for stabilization makes phase compensation capacitance unnecessary or this invention can reduce it sharply, it reduces chip areas, and it operates to stability, and aims at offering the amplifying circuit which reduces the consumed electric current further.

[0007] Cascade connection of this invention is carried out between the signal output terminals by which a capacitive load is connected with a signal input terminal, and it offers the amplifying circuit constituted by the resistance circuit including at least one resistance inserted between two or more magnification stages which have an input magnification stage and an output magnification stage at least, and the outgoing end of an output magnification stage and a signal output terminal.

[0008] This resistance circuit is constituted by two or more resistance, and at least one resistance chosen from resistance of these plurality is connected between an output magnification stage and a signal output terminal. Moreover, this resistance circuit consists of two or more resistance and two or more switches, and the resistance of a resistance circuit is set up by turning on and off of a switch. Furthermore, a resistance circuit may be constituted by the on resistance of a field-effect transistor.

[0009] The feedback path which returns from the outgoing end of an output magnification stage to the input edge of an input magnification stage is established, and an amplifying circuit is constituted from this invention by the voltage follower.

[0010] Thus, it is desirable to make it the gain of an amplifying circuit become for the frequency of the 2nd pole which appears in open loop frequency characteristics to be

lower than the frequency from which the gain of an amplifying circuit is set to 1, and lower than the frequency from which the frequency of the 1st zero point which appears in these open loop frequency characteristics is set to 1 in the constituted amplifying circuit.

[0011] Moreover, the signal output terminal and capacitive load of an amplifying circuit may be separated in input conversion offset voltage mode, and the feedback path containing capacity (phase compensation capacitance) may be established between the I/O edges of an output magnification stage for stabilization when load-carrying capacity becomes small equivalent, for example.

[0012] The 1st zero point is formed in the open loop frequency characteristics of an amplifying circuit of the outgoing end of an output magnification stage, the resistance component of the resistance circuit inserted between signal output terminals, and the capacity component of a capacitive load, and when a phase progresses in this zero point, the delay of the phase by the pole can be compensated with the amplifying circuit of this invention in an output magnification stage. That is, since the phase margin which are a phase in case gain is set to 1, and a -180-degree difference can be enlarged, at least that for stabilization of an amplifying circuit of operation does not need phase compensation capacitance. moreover -- about -- since the value may be very small even when you need phase compensation capacitance -- about -- the chip areas which were required in order to form phase compensation capacitance are reducible. Furthermore, the consumed electric current can be reduced.

[0013] When the input signal electrical potential difference which changes to a signal input terminal for every predetermined period is inputted, it is desirable to make the time constant by the capacity component of a resistance circuit and a capacitive load or less [of this predetermined period] into 1/5 in the amplifying circuit of this invention. Less than [50kohm] is suitable for the resistance of the resistance circuit in this case.

[0014] The control section by which the input signal level inputted into a signal input terminal detects having changed to the predetermined polarity, and controls the bias current of an output magnification stage may be further prepared in the amplifying circuit of this invention.

[0015] An input magnification stage can apply this invention also to the amplifying circuit for 2 inputs which has the forward side amplifying circuit and negative side amplifying circuit which input the 1st and 2nd input signals which change to a forward side and a negative side to a predetermined common electrical potential difference, respectively, respectively.

[0016] The 1st differential transistor pair into which a forward side amplifying circuit

inputs the 1st input signal according to the desirable mode of the amplifying circuit for 2 inputs, this -- with the 1st current source which gives a tail current to the 1st differential transistor pair The 1st current mirror by which the current input edge and the current outgoing end were connected to the 1st two outgoing end of a differential transistor pair, respectively, The 2nd differential transistor pair into which it consists of the 1st switch formed between the 1st two outgoing end of a differential transistor pair, and a negative side amplifying circuit inputs the 2nd input signal, this -- with the 1st current source which gives a tail current to the 2nd differential transistor pair The 2nd current mirror by which the current input edge and the current outgoing end were connected to the 2nd two outgoing end of a differential transistor pair, respectively, When it consists of the 2nd switch formed between the 2nd two outgoing end of a differential transistor pair and the 1st input signal is inputted into a forward side amplifying circuit When the 1st switch is controlled by the OFF state, the 2nd switch is controlled by the ON state, respectively and the 2nd input signal is inputted into a negative side amplifying circuit, the 1st switch is controlled by the ON state and the 2nd switch is controlled by the OFF state, respectively.

[0017] On the other hand, each drain or collector is constituted by the KOMPURIMENTARI transistor pair by which common connection was made at the outgoing end of this output magnification stage, one gate or base of this KOMPURIMENTARI transistor pair is connected to one outgoing end of a forward side amplifying circuit, and, as for an output magnification stage, the gate or the base of another side of this KOMPURIMENTARI transistor pair is connected to one outgoing end of a negative side amplifying circuit.

[0018] Thus, it becomes possible to set up the bias current of an output magnification stage simply by making phase compensation capacitance unnecessary in the amplifying circuit for 2 inputs constituted, to the extent that it is the same as that of the point, or short-circuiting with a switch between the outgoing ends of a differential transistor pair in the amplifying circuit of the direction where it is not used a forward side and among negative side amplifying circuits, not inputting an input signal level when it is the thing of ***** capacity and can finish.

[0019] Furthermore, while adding the 3rd and 4th switches for making a forward side amplifying circuit and a negative side amplifying circuit turn on and off the 1st and 2nd current sources as other modes of the amplifying circuit for 2 inputs in addition to the configuration of the above-mentioned amplifying circuit for 2 inputs The 2nd current outgoing end of the 1st current mirror is connected to the current input edge of the 2nd current mirror through the 5th switch. When the 2nd current outgoing end of the 2nd

current mirror is connected to the current input edge of the 1st current mirror through the 6th switch and the 1st input signal is inputted into a forward side amplifying circuit. When the 1st, 4th, and 6th switches are controlled by the OFF state, the 2nd, 3rd, and 5th switches are controlled by the ON state, respectively and the 2nd input signal is inputted into a negative side amplifying circuit. The 1st, 4th, and 6th switches may be controlled by the ON state, the 2nd, 3rd, and 5th switches may be made to be controlled by the OFF state, respectively, and low-power-ization will still be attained if it does in this way.

[0020] The amplifying circuit of this invention constituted as mentioned above has the useful scanning line which intersects the signal line for giving the signal level according to a picture signal alternatively to two or more pixels and each of these pixels, and this signal line as an amplifying circuit of the drive circuit in the liquid crystal display equipment which has the liquid crystal display by which array formation was carried out, the drive circuit which drives a signal line according to a picture signal, and the selection circuitry which makes sequential selection of the scanning line.

[0021] The liquid crystal display with which array formation of the scanning line which intersects a signal line for this invention to give the signal level according to a picture signal alternatively to each of two or more pixels and two or more of said pixels and this signal line was carried out, It consists of a drive circuit which drives a signal line according to a picture signal, and a selection circuitry which makes sequential selection of the scanning line. A drive circuit Two or more magnification stages by which cascade connection was carried out between the signal output terminals by which a capacitive load is connected with the signal input terminal with which an input signal is supplied and which have an input magnification stage and an output magnification stage at least, Liquid crystal display equipment including the amplifying circuit constituted by the resistance circuit including at least one resistance inserted between the outgoing end of said output magnification stage and said signal output terminal is offered.

[0022]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing. Drawing 1 is drawing showing the basic configuration of the amplifying circuit concerning 1 operation gestalt of this invention. This amplifying circuit 1 is a circuit which amplifies the differential input signal inputted between signal input terminal IN+ of a pair, and IN-, and is outputted from the signal output terminal OUT, carries out cascade connection of the output magnification stage 3 which amplifies further the output of the input magnification stage 2 and this input magnification stage 2, and is constituted. Between the outgoing end of the output

magnification stage 3, and the signal output terminal OUT of an amplifying circuit 1, the resistance circuit 4 according to this invention is inserted.

[0023] Moreover, the feedback circuit 5 which returns from the outgoing end of the output magnification stage 3 to the input edge (signal input terminal IN-) of the input magnification stage 2 if needed is formed. Furthermore, the feedback circuit where at least that of minute capacity value contains the phase compensation capacitance Cf between the I/O edges of the output magnification stage 3 if needed may be inserted.

[0024] Next, an operation of the amplifying circuit 1 of drawing 1 is explained.

[0025] Drawing 2 is the equal circuit of an amplifying circuit 1, the output resistance of the output magnification stage 3 and Rf express the resistance component of the resistance circuit 4, and, as for a CL, in the capacity component by which the transconductance of the input magnification stage 2 and R1 are added to the juxtaposition combined resistance of the output resistance of the input magnification stage 2, and the input resistance of the output magnification stage 3, and C1 is added to the outgoing end of the input magnification stage 2, and gm2, the transconductance of the output magnification stage 3 and R2 express [gm1] load-carrying capacity, respectively. Moreover, in the input signal electrical potential difference to signal input terminal IN+ and IN-, and v1, the output voltage of the input magnification stage 2 and v2 express the output voltage of the output magnification stage 3, and vo expresses [vi] the output signal electrical potential difference to the signal output terminal OUT, respectively.

[0026] Here, in the amplifying circuit 1 of drawing 1, the frequency of the 2nd pole which appears in those open loop frequency characteristics can introduce the 1st zero point into these open loop frequency characteristics by becoming lower than the frequency from which the gain of an amplifying circuit 1 is set to 1, and inserting the resistance circuit 4 between the outgoing end of the output magnification stage 3, and the signal output terminal OUT. That is, the 1st and 2nd pole and 1st zero point of an amplifying circuit 1 are called for as follows from the transfer characteristics over output voltage v2 from the input signal electrical potential difference vi drawn using the equal circuit of drawing 2.

[0027] 1st pole frequency (rad/sec) : $1/(R2+Rf)$ (CL)

(In [Rf / however, / $R2 \gg$] approximation $1/(R2$ and CL))

2nd pole frequency (rad/sec) : $1/(R1, C1)$

1st zero point frequency (rad/sec) : $1/(Rf \cdot CL)$

The amplitude at the time of establishing the resistance circuit 4 in the continuous line of (a) of drawing 3 and (b) and the open loop frequency characteristics of a phase are

shown. Moreover, a broken line shows open loop frequency characteristics in case there is no resistance circuit 4 for a comparison ($R_f=0$). As shown in (b) of drawing 3, the phase which was overdue with the 1st and 2nd pole can be advanced by the zero point formed of the resistance circuit 4 based on this invention, and the phase margin can be improved. therefore -- since phase compensation capacitance is not needed to the extent that it seems that it needed conventionally for stabilization of an amplifying circuit 1 of operation -- about -- it becomes possible to reduce the chip areas which were required in order to form phase compensation capacitance.

[0028] Moreover, in the conventional phase compensation, although the 2nd pole frequency has improved the phase margin by enlarging the current of an output magnification stage since it was approximated with gm_2/CL to the mass load, it had become the increment in power consumption. On the other hand, in this invention, since the transformer conductor itself is not related to the frequency of the direct pole, low frequency power can perform phase compensation.

[0029] Thus, in the amplifying circuit of this invention, phase compensation capacitance becomes unnecessary to the extent that it is fundamental, but the phase compensation capacitance C_f may be added to an amplifying circuit 1 to the extent that it is minute so that it may explain below. Generally the amplifying circuit 1 has input conversion offset voltage (V_{os}). As shown in (a) of drawing 4, this input conversion offset voltage V_{os} is the form where the voltage source equivalent to the input conversion offset voltage V_{os} started one input (here noninverting input) of an amplifying circuit without offset, and can be modeled. If negative feedback is performed to an amplifying circuit and an amplifying circuit is used for it with a voltage follower configuration as shown in (b) of drawing 4, it is the output signal electrical potential difference V_{out} . The electrical potential difference on which only the electrical potential difference for input conversion offset voltage V_{os} offset the input signal electrical potential difference V_{in} is outputted.

[0030] In order to cancel this input conversion offset voltage V_{os} , as the former shows to (a) of drawing 5, capacity C_h and switches SW1-SW3 are used. By closing SW1 and SW3 once, opening SW2, and making an amplifying circuit a voltage follower configuration It is made for the input conversion offset voltage V_{os} to be built over capacity C_h (input conversion offset detection mode). By next, the thing for which connection is changed so that the capacity C_h which opened switches SW1 and SW3 as shown in (b) of drawing 5, closed the switch SW2, and required offset voltage V_{os} may start the input (reversal input) of another side of an amplifying circuit at a serial The approach of canceling the input conversion offset V_{os} was taken.

[0031] Thus, for input conversion offset voltage cancellation, the time amount for offset

voltage detection of drawing 5 of (a) is needed, and in order to shorten this time amount, the signal output terminal and load-carrying capacity CL of an amplifying circuit are usually cut by the switch SW4.

[0032] If the technique of this input conversion offset voltage cancellation is applied to the amplifying circuit of this invention as it is, as a result of the frequency of the 1st pole and the 1st zero point shifting from the condition shown as a continuous line to the one where a frequency is higher as shown in drawing 6 since the signal output terminal OUT of the amplifying circuit 1 of drawing 1 is cut from load-carrying capacity CL, the phase margin will decrease in the offset voltage detection mode of (a) of drawing 5. Then, if the phase compensation capacitance Cf is used together corresponding to the condition that the effectual load-carrying capacity CL became small like offset voltage detection mode to the extent that it seems that a broken line shows in drawing 1, such a problem can be avoided and the phase margin can be secured. In this case, since the phase compensation capacitance Cf is good at the small value of 0.5pF, increase of a chip area is slight, it ends, and the advantage of this invention is not spoiled.

[0033] Next, with reference to drawing 7 - drawing 22, the concrete circuitry of the amplifying circuit of drawing 1 is explained. The 1st example of the amplifying circuit of drawing 1 is shown in drawing 7 - drawing 9. The 1st amplifying circuit shown in drawing 7 is the configuration that there are two magnification stages. A differential transistor pair The transistor Mn 1 by which the current input edge and the current outgoing end were connected to the drain which is a current source and two outgoing ends of a differential transistor pair with the transistors Mp1 and Mp2 to constitute and the transistor Mp4 which gives a tail current to this differential transistor pair It is constituted by the input magnification stage which consists of a current mirror by Mn2, the output magnification stage which consists of a KOMPURIMENTARI transistor pair with transistors Mp3 and Mn3, and the resistance Rf which constitutes a resistance circuit. In addition, Mpx expresses a P channel MOS transistor and Mnx expresses an N-channel metal oxide semiconductor transistor, respectively (following, the same).

[0034] Drawing 8 shows the 2nd example of an amplifying circuit in which the on resistance of Transistors Mpr and Mnr was used instead of the resistance Rf of drawing 7. According to this, the drain of each other is connected with the source of P channel MOS transistor Mpr which constitutes a resistance circuit, and the N-channel MOS transistor Mnr, it connects between the node of transistors Mp3 and Mn3, and an output terminal OUT, and the gate of Transistors Mpr and Mnr is connected to power sources Vdd and Vss, respectively.

[0035] Drawing 9 shows the 3rd example of an amplifying circuit in which the

transistors Mpr and Mnr of drawing 8 served as the function of the switch SW4 required of input conversion offset voltage cancellation actuation of the amplifying circuit explained by drawing 4 and drawing 5. According to this amplifying circuit, the gate of Transistor Mnr is connected to the gate of Transistor Mpr through Inverter IN. If a switching signal is inputted into signal-line SL according to this circuit, both the transistors Mpr and Mnr will serve as ON, and this on resistance will achieve the function of Resistance Rf.

[0036] The gain when setting the value of load-carrying capacity CL to 150pF in the amplifying circuit of drawing 7 at drawing 10 and the simulation result of the frequency characteristics of a phase are shown. Compared with the case where there is no resistance Rf, by forming Resistance Rf shows that the phase margin is improved sharply.

[0037] Moreover, when the signal output terminal OUT is cut with load-carrying capacity CL in input conversion offset voltage detection mode etc. as mentioned above, and the value of load-carrying capacity CL becomes small with 2pF equivalent, the phase margin acquired as shown in drawing 11 becomes small. To this, by using the phase compensation capacitance Cf together with 0.5pF, for example to the extent that it is small, as shown in drawing 12, load-carrying capacity also with big, small load-carrying capacity can also secure the phase margin big [both].

[0038] As shown in drawing 13, the phase margin decreases a little that capacity is small according to concomitant use of the phase compensation capacitance Cf at the time of a mass load. Only when the signal output terminal OUT is cut from load-carrying capacity CL and load-carrying capacity CL becomes small with 2pF equivalent in input conversion offset voltage detection mode etc., drawing 14 shows the 4th example of the amplifying circuit which closed Switch SWC by forming the switch SWC by which the series connection was carried out to the phase compensation capacitance Cf, in order to improve this point. When according to this Switch SWC is connected between a node with transistors Mn2 and Mn3, and Capacitor Cf and load-carrying capacity CL becomes small, this switch SWC is closed. The original phase margin by this invention is also securable with this.

[0039] The signal line of a liquid crystal display is expressed by pi mold model as shown in drawing 15 etc. from a simple capacity model which was mentioned above. Like pi mold model, even if the resistance component RL is included in the load, frequency characteristics hardly change so that clearly from the simulation result shown in drawing 16.

[0040] The simulation result when inputting a square wave into drawing 17 as an input

signal electrical potential difference with the voltage follower configuration which returned from the outgoing end (drain of transistors Mn3 and Mp3) of the output magnification stage of the amplifying circuit shown in drawing 7 to signal input terminal IN⁻ of a negative side is shown. In the amplifying circuit of drawing 7, the slew rate of the start is determined by the value of the current supplied from a transistor Mp3, and the load capacity value CL, and since the current supplied from a transistor Mp3 is small, sufficient slew rate is not obtained.

[0041] About this point, the slew rate of the start is improvable by detecting having changed the input signal electrical potential difference of an amplifying circuit to the forward side, and making the output current of the transistor Mp3 which supplies the bias current of an output magnification stage increase.

[0042] Drawing 18 is the 5th example of an amplifying circuit in which the slew rate of the start has been improved by this principle. This amplifying circuit It detects that the input signal electrical potential difference changed with transistors Mn4 and Mp6 to straight polarity. When an input signal electrical potential difference is changed to straight polarity, a transistor Mp7 is made to turn on. It is the transistor Mp5 which has determined the gate bias voltage of a transistor Mp3 for the current supplied from a current source IL and by which diode connection was made with the configuration which enlarges a sink and gate bias voltage of a transistor Mp3.

[0043] If the circuit of drawing 18 is explained more to a detail, a transistor Mp6 constitutes a current source and the gate is connected to the drain and the gate of the transistor Mp5 for bias current decision. The gate is connected to the drain of transistors Mn4 and Mp6, the source is connected to the drain and the gate of the transistor Mp5 for bias current decision, and, as for the transistor Mp7, the drain is connected to the constant current source IL.

[0044] Here, in order to simplify explanation, a transistor Mn 4 and the transistor Mn 1 of the input magnification stage 2 presuppose that the same size (W is the channel width of an MOS transistor and L is the channel length of an MOS transistor), i.e., W/L, is the same. Moreover, size Mp6 of a transistor Mp6 (W/L) Size Mp4 of the current source transistor Mp4 of the input magnification stage 2 (W/L) Suppose that they are 0.6 times. When the electrical potential difference impressed between signal input terminal IN⁺ and IN⁻ is zero or negative (i.e., when the electrical potential difference of signal input terminal IN⁺ by the side of forward is lower than the electrical potential difference of signal input terminal IN⁻ of a negative side), the current below one half of the current supplied from a transistor Mp4 flows to a transistor Mn 1, and the current of this transistor Mn 1 is copied to it by the transistor Mn 4.

[0045] The current supplied from a transistor Mp6 here is 0.6 times the current supplied from a transistor Mp4, since it is larger than the current which flows to a transistor Mn 4 in this case, the drain electrical potential difference of a transistor Mp6 becomes high, and since it becomes off [a transistor Mp7], the current supplied from a current source IL is not added to a transistor Mp5.

[0046] On the other hand, when the input signal electrical potential difference impressed between signal input terminal IN+ and IN- is more than an electrical potential difference of predetermined straight polarity that is, a current with the electrical potential difference of signal input terminal IN+ by the side of forward larger [the current supplied to a transistor Mn 1 from a transistor Mp4 beyond a predetermined value from the electrical potential difference of signal input terminal IN- of a negative side when high] than 0.6 times flows, and the current of this transistor Mn 1 is copied by the transistor Mn 4.

[0047] Here, since it is smaller than the current which the current supplied from a transistor Mp6 is 0.6 times the current supplied from a transistor Mp4, and flows to a transistor Mn 4 in this case, the drain electrical potential difference of a transistor Mp6 becomes low, and a transistor Mp7 serves as ON. Since the current supplied from a current source IL by this is added to the transistor Mp5 for bias current decision through a transistor Mp7, the electrical potential difference between the gate sources of a transistor Mp5 becomes large, and the current supplied from a transistor Mp3 also becomes large.

[0048] Thus, since it can control so that the current supplied from the transistor Mp3 of the output magnification stage 3 becomes large when an input signal electrical potential difference changes to straight polarity, the slew rate of the start is improvable.

[0049] The voltage follower configuration which returned from the output (drain of transistors Mn3 and Mp3) of an output magnification stage to drawing 19 at signal input terminal IN- of a negative side in the amplifying circuit which has improved the slew rate of the start shown in drawing 18 shows the simulation result when inputting a square wave as an input signal electrical potential difference. Here, v2 is the output voltage (drain electrical potential difference of transistors Mp3 and Mn3) of the output magnification stage 2, and vo is the electrical potential difference of the signal output terminal OUT. it turns out that the falling property and the property of the until [comparable] start are improved.

[0050] Since the resistance circuit Rf and load-carrying capacity CL constitute the low pass filter (henceforth LPF), vo is in them to v2 with the time constant τ ($=R_f \cdot C_L$). Usually, what is necessary is just to make a time constant τ become 1/5 or less [of a

predetermined period] in LPF formed of resistance and capacity, in case the amplifying circuit of this invention is applied to the liquid crystal display drive circuit where a signal level changes for every predetermined period, since about 5 times [of a time constant] time amount is the need at SETORINGU.

[0051] As shown in drawing 19 , the time delay of the electrical potential difference v_o of the signal output terminal OUT to the output voltage v_2 of the input magnification stage 2 can be made small, and a predetermined SETORINGU property can be satisfied to do in this way. the drive period of a signal level [in / specifically / a liquid crystal display drive circuit] -- about 20microsec it is -- since -- what is necessary is just to make the value of the resistance circuit R_f into less than [50kohm], when 50pF - about 100pF is assumed as load-carrying capacity CL

[0052] Since the signal line of a liquid crystal display changes also according to the size of a display, or the quality of the material of a signal line, it is desirable to choose Resistance R_f as the optimal value according to these. The example for making resistance R_f into the optimal value at drawing 20 - drawing 22 is shown.

[0053] Drawing 20 between the outgoing end (drain of transistors Mn3 and Mp3) of an output magnification stage, and the signal output terminal OUT Two or more resistance R_{f10} , R_{f11} , and R_{f12} and -- from which resistance differs are arranged in juxtaposition through switches SW10, SW11, and SW12 and --. It is the example of the amplifying circuit which chose the value of Resistance R_f by [of switches SW10, SW11, and SW12 and --] controlling closing motion.

[0054] In addition, resistance is made the same and you may make it choose the value of Resistance R_f in drawing 20 by the thing of resistance R_{f10} , R_{f11} , and R_{f12} and -- for which switches SW10, SW11, and SW12 and the number of parallel connection of the resistance by closing motion of -- are changed.

[0055] While drawing 21 arranges at a serial two or more resistance R_{f10} , R_{f11} , and R_{f12} and -- from which resistance differs between the outgoing end (drain of transistors Mn3 and Mp3) of an output magnification stage, and the signal output terminal OUT It is the 7th example of an amplifying circuit in which arrange switches SW10, SW11, and SW12 and -- in juxtaposition at each resistance R_{f10} , R_{f11} , and R_{f12} and --, and the value of Resistance R_f was determined by [of switches SW10, SW11, and SW12 and --] controlling closing motion.

[0056] In addition, resistance is made the same and you may make it choose the value of Resistance R_f in drawing 21 by the thing of resistance R_{f10} , R_{f11} , and R_{f12} and -- for which switches SW10, SW11, and SW12 and the number of series connection of the resistance by closing motion of -- are changed.

[0057] In case drawing 22 integrated-circuit-izes an amplifying circuit, it is the 8th example of an amplifying circuit in which it was made to realize these resistance Rf10, Rf11, and Rf12 and one or more inner resistance of -- because only the layer of metal wiring changes so that two or more resistance Rf10, Rf11, and Rf12 and -- may be beforehand formed on the chip and resistance Rf may become the optimal according to a liquid crystal display panel.

[0058] Drawing 23 is rail-to-rail type which is the 9th example and applied this invention to the large amplifying circuit of inphase input voltage range. An amplifying circuit is shown. The 1st differential amplifying circuit which according to this the input magnification stage 2 is constituted by the differential pair and the source Ib2 of a bias current by transistor Mp11 and Mp12, and has inphase input voltage range in the Vss side, It is constituted by ***** and the source Ib1 of a bias current with transistors Mn11 and Mn12, and consists of the 2nd differential amplifying circuit which has inphase input voltage range in the Vdd side, and current Miller circuit constituted from a transistor Mp14 thru/or Mp17. Thereby, the output current of the 1st differential amplifying circuit and the current output of the 2nd differential amplifying circuit are turned up and added in current Miller circuit. Here, transistors Mn14 and Mn15 are operating as an active load.

[0059] In the amplifying circuit of the above-mentioned configuration, if the input voltage IN by the side of the high input voltage Vdd, i.e., an electrical potential difference, is impressed to the input magnification stage 2, the 1st differential amplifying circuit which becomes with transistors Mn11 and Mn12 will become active. On the other hand, input voltage IN is low, namely, when it is in an electrical-potential-difference Vss side, the 2nd differential amplifying circuit becomes active. That is, even if input voltage IN becomes the Vdd or Vss side, in order for either the 1st or the 2nd differential amplifying circuit to operate, the large input magnification stage 2 of the input common-mode-voltage range is realized. Although a signal path when input voltage IN becomes the Vdd side becomes longer than a signal path when input voltage becomes the Vss side and the time delay difference by this arises with this configuration, considering the working speed of the usual amplifying circuit for a-Si (AMOFUFASU silicon) TFT-liquid-crystal display drive circuits, this time delay difference is small and the effectiveness of this invention does not change.

[0060] Drawing 24 shows the 10th example of the rail Thu rail mold (rail-to-rail type) amplifying circuit which applied this invention to the large amplifying circuit of inphase input voltage range. according to this -- the input magnification stage 2 -- a transistor Mp1 -- the differential pair by 1. and Mp12, and Mp2 -- the source of a differential pair

by 1. and Mp22 is carried out in common, and an input signal impresses the gate of transistors Mp11 and Mp12 -- having -- the gate of transistors Mp13 and Mp14 -- a transistor Mn 1 -- it connects with the output of the differential amplifying circuit which consists of differential pairs by 1. and Mn12. Moreover, the operating point of the output of the differential amplifying circuit which consists of differential pairs by transistor Mn11 and Mn12 is set as the electrical potential difference on which transistor Mp21 and Mp22 operate.

[0061] Since transistor Mp21 and Mp22 operate through the differential amplifying circuit which consists of differential pairs with Mn11 and Mn12 transistor even if input voltage approaches the Vdd side and transistors Mp11 and Mp12 turn off by this configuration, the large input magnification stage 2 of the input common-mode-voltage range is realized. Although only the time delay of a differential amplifying circuit becomes late with this configuration compared with actuation when the part which passes through the differential amplifying circuit which consists of differential pairs with transistors Mn11 and Mn12, and input voltage approach the Vss side when input voltage becomes the Vdd side, considering the working speed of the usual amplifying circuit for a-SiTFT liquid crystal display drive circuits, this time delay difference is small and the effectiveness of this invention does not change.

[0062] Although premised on the amplifying circuit of an a-SiTFT liquid crystal display drive circuit, since two or more signal lines of a panel drive by time sharing by one amplifying circuit, the example shown in drawing 23 and drawing 24 requires the amplifying circuit which operates at the ***** 10 or more-time Li high speed of an a-SiTFT liquid crystal display drive circuit in the amplifying circuit of a Poly-SiTFT liquid crystal display drive circuit. For this reason, it becomes impossible to disregard the time delay difference by the input voltage produced in the large input magnification stage of inphase input voltage range unlike the time of the amplifying circuit for a-SiTFT liquid crystal display drive circuits, and it serves as degradation of the phase margin. This can shorten time amount which passes Mp21 and Mp22 by the time amount to which a RF signal component passes Mp16 and Mp17 in drawing 25 , and drawing 26 by adding the feedforward path containing a capacitative element to an output magnification stage from the differential amplifying circuit output which consists of differential pairs with the transistors M11 and M12 added in order to extend input common mode voltage, as shown in drawing 25 and drawing 26 . Thereby, a time delay difference can be eased.

[0063] By drawing 25 and drawing 26 , bias voltage Vb was impressed to the gate of the transistor Mp13 which constitutes the source of a bias current of an output

magnification stage through Resistance R_{ff} , and, more specifically, the feedforward path by capacity C_{ff2} is added to the gate of a transistor M_{p13} from the gate of a transistor M_{p15} . Furthermore, the gate is [the magnification transistor M_n 13 of an output magnification stage] common, it transposes to transistor M_{n13a} by which the cascode configuration was carried out, and M_{n13b} , and the feedforward path by capacity C_{ff1} is added between the source of transistor M_{n13a} , the node of the drain of transistor M_{n13b} , and the gate of a transistor M_{p14} . Even if input voltage changes to a high speed, since this configuration acts to an output magnification stage as the feedforward of the component with the high frequency of a changing point through these capacitive feedforward path, by it, it can ease the time delay difference by the input voltage produced in the large input magnification stage of inphase input voltage range.

[0064] In addition, in drawing 25 and drawing 26 , although Resistance R_{ff} is used for feedforward path formation of GETOHE of a transistor M_{p13} , as shown in drawing 27 , the on resistance of a field-effect transistor M_{ff} may be used.

[0065] moreover -- drawing 28 -- being shown -- as -- drawing 26 -- being shown -- an amplifying circuit -- an input signal -- an electrical potential difference -- forward -- a side -- having changed -- things -- detecting -- an output -- magnification -- a stage -- three -- a bias current -- supplying -- a transistor -- M_p -- 13 -- the output current -- increasing -- making -- bias voltage -- (V_b) -- a control circuit -- being also combinable . Since the electrical potential difference which becomes $IL2 \times R_{ff}$ by adding through the resistance R_{ff} added in order not to add directly bias current $IL2$ which detects and adds having changed the input signal electrical potential difference to the forward side to the bias current I_{bl} of an amplifying circuit but to establish a feedforward path at this time, as the dotted line showed to drawing 28 is built over Resistance R_{ff} , the gate source electrical potential difference of a transistor M_{p3} can be enlarged by small bias current IL . That is, when an input signal electrical potential difference is changed to a forward side, the big output current can be supplied with a transistor M_{p13} by small bias current IL .

[0066] The bias voltage (V_b) control circuit constituted by transistors M_{n16} , M_{p32} , M_{p33} , and M_{p34} and current sources $IL1$ and $IL2$ makes the output current of the transistor M_{p13} which detects this and supplies the bias current of the output magnification stage 3 increase in the amplifying circuit of drawing 28 , when input **** is sharply changed on a high electrical potential difference from a low electrical potential difference. This control circuit is connected to the differential pair list by transistor M_{n11} and M_{n12} which have been prepared in order to extend inphase input voltage range at the transistor M_{p11} prepared in juxtaposition at the differential pair by

transistor Mp11 and Mp12, and the differential pair by Mp12 through the amplifying circuit which consists of active loads with transistors Mp14-Mp17. The output of this differential pair is impressed to the gate of the transistor Mn 16 which is the input of said control circuit. For this reason, delay will be produced, by the time this control circuit operates and it increases the output current to change of input voltage. In the differential pair list by transistor Mn11 and Mn12 which have been added in order that this delay may extend inphase input voltage range, as shown in drawing 29 By forming capacity Cff3 between the output of the transistor Mn 12 which is the output of the amplifying circuit which consists of active loads with transistors Mp14 and Mp17, and the output of the transistor Mn 16 which is an input voltage change detection section output Since it acts to an input voltage change detection section output as the feedforward of the change of input voltage through capacity Cff3, it can ease.

[0067] The function of the amplifying circuit for liquid crystal display drive circuits is shown in drawing 30 . Common electrical potential difference Vcom impressed to the common electrode side of a liquid crystal cell as shown in drawing 30 It is made a fixed electrical potential difference. This electrical potential difference Vcom It is made criteria and is a signal level VRGB. When making it periodically reversed, a liquid crystal display drive circuit It is Vcom about the RGB code inputted as shown in drawing 3030 . Forward side D/A-converter DA1 which carries out digital to analog conversion to the electrical potential difference by the side of forward, Vcom The amplifying circuit AMP for 2 inputs where the electrical-potential-difference variability regions of the input for amplifying the output voltage of the D/A converter of negative side D/A-converter DA2 which carries out digital to analog conversion, and a these forward side and a negative side differ is needed for the electrical potential difference of a negative side. Moreover, as that function, when [at which the output of one D/A converter is inputted] amplifying, as for this amplifying circuit for 2 inputs, it is required that the amplifying circuit which inputs the output of the D/A converter of another side should be off.

[0068] Drawing 31 is the 15th example which applied this invention to the amplifying circuit for 2 inputs where the input signal electrical-potential-difference range mentioned above differs. This amplifying circuit for 2 inputs is the configuration that there are two magnification stages, and an input magnification stage is the common electrical potential difference Vcom. The forward side amplifying circuit which receives and has the input signal electrical-potential-difference range by the side of forward, Common electrical potential difference Vcom The negative side amplifying circuit which receives and has the input signal electrical-potential-difference range of a negative side,

a forward side and a negative side -- it consists of the 1st and 2nd switches SW20 and SW21 for choosing actuation of a forward side and a negative side amplifying circuit with the selection signal POL which chooses whether the output of which D/A converter is inputted.

[0069] A forward side amplifying circuit is constituted by the 1st current mirror which consists of the 1st current source Ib1 which gives a tail current to the 1st differential transistor pair constituted by transistors Mn41 and Mn42 and the 1st differential transistor pair, and transistors Mp44 and Mp45 by which the current input edge and the current outgoing end were connected to the 1st two outgoing end (drain of transistors Mn41 and Mn42) of a differential transistor pair, respectively. A negative side amplifying circuit is constituted by the 2nd current mirror which consists of the 2nd current source Ib1 which gives a tail current to the 2nd differential transistor pair similarly constituted by transistors Mp41 and Mp42 and the 2nd differential transistor pair, and transistors Mn44 and Mn45 by which the current input edge and the current outgoing end were connected to the 2nd two outgoing end (drain of transistors Mp41 and Mp42) of a differential transistor pair, respectively.

[0070] The 1st switch SW20 is connected between the 1st two outgoing end of a differential transistor pair, and the 2nd switch SW21 is connected between the 2nd two outgoing end of a differential transistor pair.

[0071] Moreover, an output magnification stage is constituted by transistors Mp43 and Mn43, and a resistance circuit is constituted by Resistance Rf.

[0072] In order to explain actuation of the amplifying circuit for 2 inputs shown in drawing 31, the case where the output of a negative side D/A converter is first inputted into a negative side amplifying circuit is considered. At this time, "0" is given to a selection signal POL and a switch SW20 has ON and a switch SW21 in an off condition. The output voltage of a forward side D/A converter is the common electrical potential difference Vcom, although it is unfixed. Since it is high, the gate voltage of a transistor Mn 1, i.e., the output voltage of the output magnification stage of an amplifying circuit, is Vcom. A transistor Mn 42 becomes low with an ON state. Moreover, since a switch SW20 is ON, the transistor Mp45 also serves as diode connection.

[0073] on the other hand, the current supplied from a current source Ib1 has transistors Mn42 and Mn41 -- it is -- it flows through both to the transistors Mp44 and Mp45 by which diode connection was made, and the current generated according to the ratio of size (W/L) twice the size of transistors Mp44 and Mp45 and the size (W/L) of a transistor Mp43 is supplied from a transistor Mp43 as a bias current of an output magnification stage.

[0074] That is, when inputting the output of the D/A converter of a negative side, it will operate in the state of the connection shown in drawing 32. This is completely the same as the circuit connection which how to give the bias current of the output magnification stage 3 differed, and also was shown in drawing 7, and it is clear that its phase compensation capacitance is not needed to the extent that it seems that drawing 7 - drawing 9 explained, but Resistance Rf can realize operational stability. Therefore, since the chip areas which were required of phase compensation capacitance are reducible, cost can be reduced.

[0075] When inputting the output of a forward side D/A converter, a P channel MOS transistor and an N-channel metal oxide semiconductor transistor only completely become reverse, and fundamental actuation is the same as the case where the output of a negative side D/A converter is inputted.

[0076] Moreover, it is effective in the ability to set up the bias current of an output magnification stage easily by short-circuiting with a switch between the outputs of the differential transistor pair of the amplifying circuit which is not used in this way.

[0077] Drawing 33 is the 16th example of the amplifying circuit concerning the modification of drawing 31. The transistor Mp46 which generates the current for giving the bias current of an output magnification stage adaptively to the 1st current mirror of a forward side amplifying circuit with reference to the current of a transistor Mp44 is added. The transistor Mn 46 which generates the current for giving the bias current of an output magnification stage adaptively to the 2nd current mirror of a negative side amplifying circuit with reference to the current of a transistor Mn 44 is added.

[0078] Moreover, the 3rd and 4th switch SW22 and SW23 for controlling turning on and off of the current sources Ib1 and Ib2 of a forward side amplifying circuit and a negative side amplifying circuit, The 5th switch SW24 inserted between the drains of a transistor Mp46 and the current input edges of the 2nd current mirror which are the 2nd current outgoing end of the 1st current mirror, The 6th switch SW26 inserted between the drains of a transistor Mn 46 and the current input edges of the 1st current mirror which are the 2nd current outgoing end of the 2nd current mirror is added. The added switches SW22-SW26 as well as switches SW20 and SW21 are controlled by the selection signal POL.

[0079] Moreover, an output magnification stage is constituted by transistors Mp43 and Mn43, and a resistance circuit is constituted by Resistance Rf.

[0080] In order to explain actuation of the amplifying circuit for 2 inputs shown in drawing 33, the case where the output of a negative side D/A converter is first inputted into a negative side amplifying circuit is considered. At this time, "0" is given to a

selection signal POL and switches SW20, SW23, and SW25 have ON and switches SW21, SW22, and SW24 in an off condition. According to a switch SW22 being off, the current supplied from a current source Ib1 will not flow to transistors Mn41 and Mn42, but the difference input transistors Mn41 and Mn42 which constitute a forward side amplifying circuit will be in an OFF state. Moreover, since a switch SW23 is ON, the current supplied from a current source Ib2 flows to transistors Mp41 and Mp42, and a negative side amplifying circuit operates.

[0081] A transistor Mn 46 here with the switch SW20 which similarly serves as ON through the switch SW25 which is made to generate the current which referred to the current which flows to a transistor Mn 44, and serves as ON It flows to the transistors Mp45 and Mp44 by which diode connection was made. The current generated according to the ratio of size (W/L) twice the size of transistors Mp44 and Mp45 and the size (W/L) of a transistor Mp43 is supplied from a transistor Mp43 as a bias current of an output magnification stage. After all, when inputting the output of the D/A converter of a negative side, an amplifying circuit will operate in the state of the connection shown in drawing 3434 .

[0082] Namely, when an amplifying circuit would be in a steady state in the state of connection of drawing 34 , are put in another way and the input signal electrical potential difference of the positive/negative of a negative side amplifying circuit balances One half of the currents of the bias current from the current source Ib2 of a negative side amplifying circuit are the ratios (W/L) Mp46/(W/L) Mp6 of the size (W/L) of transistors Mn44 and Mn46. It responds and generates. This Size (W/L) twice the size of transistors Mp44 and Mp45 Except that the current amplified by the size (W/L) of a transistor Mp43 according to the ratio is supplied from a transistor Mp3 as a bias current of an output magnification stage, are completely the same as the circuit connection shown in drawing 7 . It is clear that operational stability is realizable with Resistance Rf as drawing 7 · drawing 9 explained.

[0083] Moreover, in a transient to which the forward side input of a negative side amplifying circuit becomes larger than a negative side input, since the bias current from a current source Ib2 will flow to a transistor Mn 44 through a transistor Mp41 altogether, the bias current of the output magnification stage supplied from a transistor Mp43 can be made into the twice at the time of a steady state. Thereby, the start property determined by the transistor Mp43 and load-carrying capacity can be improved twice, without raising the power consumption in a steady state.

[0084] Furthermore, in a transient to which the plus input of a negative side amplifying circuit becomes smaller than a negative input, all the bias currents from a current

source Ib2 will flow to a transistor Mp42, and will not flow to a transistor Mn 44. Consequently, the bias current of the output magnification stage supplied from a transistor Mp43 can serve as zero, can reduce the penetration currents which flow from a transistor Mp43 to a transistor Mn 43, and can achieve low-power-ization.

[0085] When inputting the output of a forward side D/A converter, a P channel MOS transistor and an N-channel metal oxide semiconductor transistor only completely become reverse, and fundamental actuation is the same as the case where the output of a negative side D/A converter is inputted.

[0086] Thus, by forming Resistance Rf, it can realize operational stability of an amplifying circuit, without needing phase compensation capacitance, and chip areas are not only reducible, but it can double the start and the falling transient characteristic, without increasing power consumption-ization by the steady state.

[0087] Drawing 35 is the block diagram which used the amplifying circuit of this invention for the liquid crystal display drive circuit used for the liquid crystal display equipment shown in drawing 36.

[0088] A liquid crystal cell 301 is arranged in the shape of a matrix, and the liquid crystal display equipment shown in drawing 36 is constituted by the liquid crystal display panel 300 from which two or more signal lines 304 and two or more scanning lines 305 with which a picture signal is supplied crossed and which they arranged and consisted of, the liquid crystal display drive circuit 302 for supplying a picture signal to a signal line 304, and driving the liquid crystal display panel 300, and the scanning-line selection circuitry 303 which drives the scanning line 305 alternatively.

[0089] With the latch 222 of the number as the number of pixels required for 1 level Rhine which memorizes an RGB code with the display drive circuit same as shown in drawing 35 The shift register 221 which transmits the timing pulse which latches RGB, With the latch 223 who memorizes further the RGB code memorized by the latch 222 with the period of 1 level period D/A converter 224 which changes into an analog value the RGB code of 1 level Rhine memorized by the latch 223, The RGB code changed into analog voltage with D/A converter 224 is inputted, and it consists of drive circuits 225 for driving the signal line and liquid crystal cell of a liquid crystal display panel.

[0090] An amplifying circuit 225 is a circuit of the 15th example based on this invention shown in drawing 31 in this example. Especially in the amplifying circuit 225, phase compensation capacitance is not needed for stabilization of operation as drawing 31 R> 1 explained.

[0091] Although drawing 35 explained the example which applied the amplifying circuit of the example shown in drawing 31 to the drive circuit 225, of course, the amplifying

circuit of other examples may be used for the drive circuit 225.

[0092] In addition, although the above operation gestalt explained the amplifying circuit constituted from an MOS transistor, each transistor can be transposed to a bipolar transistor and an amplifying circuit can also be constituted. In that case, what is necessary is to transpose the source to an emitter, to transpose a drain to a collector, respectively, to transpose W/L to emitter area and just to consider it further, based on the gate.

[0093]

[Effect of the Invention] In the amplifying circuit which has an input magnification stage and an output magnification stage at least according to this invention as explained above Since phase compensation capacitance becomes unnecessary to the extent that it was indispensable in the conventional amplifying circuit because of stabilization by inserting a resistance circuit between the outgoing end of an output magnification stage, and the signal output terminal of an amplifying circuit, or it can decrease sharply The amplifying circuit which reduces chip areas, is made to reduce cost when it integrates, and operates to stability can be offered cheaply.

[0094] Moreover, the cost of liquid crystal display equipment can also be reduced by applying to the liquid crystal display drive circuit which integrated the amplifying circuit of this invention.

[0095] Moreover, in the conventional phase compensation, although the pole frequency has improved the phase margin by enlarging the current of an output magnification stage since it was proportional to the transconductance of an output magnification stage to the mass load, it had become the increment in power consumption. On the other hand, by this invention, since the transconductance itself is not related to the frequency of the direct pole, phase compensation can be performed by low consumption ****.

[Translation done.]

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the basic configuration of the amplifying circuit concerning one example of this invention

[Drawing 2] Drawing showing the equal circuit of the amplifying circuit of drawing 1

[Drawing 3] Drawing showing the gain of the amplifying circuit of drawing 1 , and the frequency characteristics of a phase

[Drawing 4] Drawing explaining input conversion offset of an amplifying circuit

[Drawing 5] Drawing explaining input conversion offset cancellation actuation of an amplifying circuit

[Drawing 6] Drawing showing change of the gain in offset detection mode in case at least the amplifying circuit of drawing 1 does not use phase compensation capacitance together, and the frequency characteristics of a phase

[Drawing 7] Drawing showing the 1st example of the amplifying circuit of drawing 1

[Drawing 8] Drawing showing the 2nd example of an amplifying circuit in which the on resistance of a field-effect transistor realized the resistance circuit by drawing 7

[Drawing 9] Drawing showing the 3rd example of an amplifying circuit in which the field-effect transistor used as on resistance by drawing 8 was used also [switch]

[Drawing 10] Drawing for explaining the improvement effect of the frequency characteristics by this invention

[Drawing 11] Drawing showing the dependency over the load-carrying capacity of frequency characteristics

[Drawing 12] Drawing showing the effectiveness of phase compensation capacitance concomitant use

[Drawing 13] Drawing showing the effect to the frequency characteristics of phase compensation capacitance

[Drawing 14] Drawing showing the 4th example of the amplifying circuit which added the switch for having entered and carrying out phase compensation capacitance

[Drawing 15] Drawing showing the condition of having connected the load containing a resistance component to the amplifying circuit shown in drawing 7

[Drawing 16] Drawing showing the frequency characteristics of drawing 15

[Drawing 17] Drawing showing the transient characteristic of the amplifying circuit of drawing 7

[Drawing 18] Drawing showing the 5th example of an amplifying circuit in which the transient characteristic of the amplifying circuit of drawing 5 has been improved

[Drawing 19] Drawing showing the transient characteristic with which the amplifying circuit of drawing 18 has been improved

[Drawing 20] Drawing showing the 6th example which transformed the amplifying circuit of drawing 18

[Drawing 21] Drawing showing the 7th example which transformed the amplifying circuit of drawing 18

[Drawing 22] Drawing showing the 8th example which transformed the amplifying circuit of drawing 18

[Drawing 23] Drawing showing the 9th example of the amplifying circuit which applied this invention to the amplifying circuit of the common mode input **** range

[Drawing 24] Drawing showing the 10th example of the amplifying circuit which applied this invention to the amplifying circuit of inphase input voltage range

[Drawing 25] Drawing showing the 11th example of an amplifying circuit in which improvement in the speed of the amplifying circuit of drawing 23 was timed

[Drawing 26] Drawing showing the 12th example of an amplifying circuit in which improvement in the speed of the amplifying circuit of drawing 24 was timed

[Drawing 27] Drawing showing the 13th example of an amplifying circuit using the field-effect transistor used as on resistance by drawing 26

[Drawing 28] Drawing showing the 14th example concerning the modification of the amplifying circuit of drawing 26 which has improved the transient characteristic

[Drawing 29] Drawing showing the 15th example concerning other modifications of the amplifying circuit of drawing 26 which has improved the transient characteristic

[Drawing 30] Common electrode voltage Vcom Drawing explaining a function required for the amplifying circuit of the liquid crystal display drive circuit when fixing

[Drawing 31] Drawing showing the 16th example of the amplifying circuit for 2 inputs in which the input signal electrical-potential-difference range concerning this invention differs

[Drawing 32] Drawing explaining actuation of the amplifying circuit of drawing 31

[Drawing 33] Drawing showing the 17th example of the amplifying circuit concerning the modification of the amplifying circuit of drawing 31

[Drawing 34] Drawing explaining actuation of the amplifying circuit of drawing 33

[Drawing 35] Drawing showing the liquid crystal display drive circuit which applied the amplifying circuit of drawing 33

[Drawing 36] Drawing showing the configuration of liquid crystal display equipment

[Description of Notations]

1 -- Amplifying circuit

2 -- Input magnification stage

3 -- Output magnification stage

4 -- Resistance circuit

221 -- Shift register

222 223 -- Latch circuit

224 -- D/A converter

225 -- Drive circuit
300 -- Liquid crystal display
301 -- Liquid crystal cell
302 -- Liquid crystal display drive circuit
303 -- Scanning-line selection circuitry
304 -- Signal line
305 -- Scanning line
Mp -- N-channel metal oxide semiconductor transistor
Mn -- P channel MOS transistor
gm -- Transconductance of each magnification stage
vi -- Input signal electrical potential difference of an amplifying circuit
v1 -- Output voltage of an input magnification stage
v2 -- Output voltage of an output magnification stage
vo -- Output signal electrical potential difference of an amplifying circuit
Vcom -- Electrical potential difference of the common electrode of a liquid crystal display
I- -- Current source
Vdd -- 1st power source potential point
Vss -- 2nd power source potential point
At least Cf is phase compensation capacitance.
C1 -- Capacity component attached to the output terminal of an input magnification stage
CL, CL1, CL2 -- Capacity component of a load
R1 -- Juxtaposition combined resistance of the output resistance of an input magnification stage, and the input resistance of an output magnification stage
R2 -- Output resistance of an output magnification stage
Rf -- Resistance for stabilization
RL -- Resistance component of a load
IN+, IN -- Signal input terminal of an amplifying circuit
OUT -- Signal output terminal of an amplifying circuit

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-150427

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 F 3/20

H 0 3 F 3/20

G 0 9 G 3/36

G 0 9 G 3/36

H 0 3 F 1/34

H 0 3 F 1/34

3/45

3/45

A

審査請求 未請求 請求項の数18 O L (全 19 頁)

(21) 出願番号 特願平10-221552

(22) 出願日 平成10年(1998) 8月5日

(31) 優先権主張番号 特願平9-210549

(32) 優先日 平9(1997) 8月5日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 板倉 哲朗

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 島 健

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

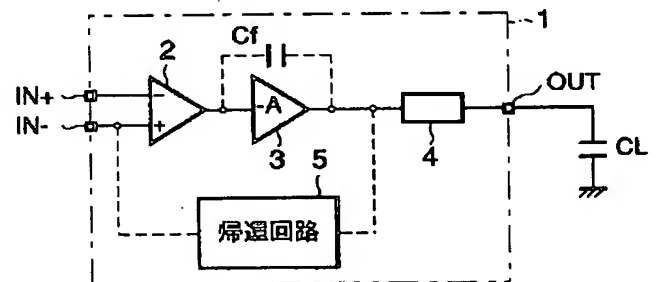
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 増幅回路及びこれを用いた液晶ディスプレイ装置

(57) 【要約】

【課題】 安定化のための位相補償容量を不要とするか、大幅に低減できるようにしてチップ面積を削減し、かつ安定に動作する増幅回路を提供する。

【解決手段】 増幅回路1の信号入力端子IN+, IN-と信号出力端子OUTとの間に入力増幅段2および出力増幅段3を縦続接続し、出力増幅段3の出力端と信号出力端子OUTとの間に少なくとも一つの抵抗を含む抵抗回路4を挿入することによって、増幅回路1の開ループ周波数特性に利得が1となる周波数よりも周波数の低い第1のゼロ点を形成する。



(2)

1

【特許請求の範囲】

【請求項1】容量性負荷を駆動する増幅回路において、該増幅回路の信号入力端子と信号出力端子との間に縦続接続された少なくとも入力増幅段および出力増幅段を有する複数の増幅段と、前記出力増幅段の出力端と前記信号出力端子との間に挿入された少なくとも一つの抵抗を含む抵抗回路とを有することを特徴とする増幅回路。

【請求項2】容量性負荷を駆動する増幅回路において、該増幅回路の信号入力端子と信号出力端子との間に縦続接続された少なくとも入力増幅段および出力増幅段を有する複数の増幅段と、前記出力増幅段の出力端と前記信号出力端子との間に挿入された複数の抵抗を含む抵抗回路とを有し、前記抵抗回路は前記複数の抵抗から選択された少なくとも一つの前記出力増幅段と前記信号出力端子との間に接続されることを特徴とする増幅回路。

【請求項3】前記出力増幅段の出力端から前記入力増幅段の入力端に帰還を施す帰還経路を有することを特徴とする請求項1または2に記載の増幅回路。

【請求項4】前記増幅回路の開ループ周波数特性に現われる第2のポールの周波数が前記増幅回路の利得が1になる周波数より低く、該開ループ周波数特性に現われる第1のゼロ点の周波数が前記増幅回路の利得が1になる周波数より低いことを特徴とする請求項1～3のいずれか1項に記載の増幅回路。

【請求項5】前記増幅回路は、前記出力増幅段の入出力端間に容量を含む帰還経路を有することを特徴とする1～4のいずれか1項に記載の増幅回路。

【請求項6】前記増幅回路は前記信号入力端子に所定の期間毎に変化する入力信号電圧を入力するものであって、前記抵抗回路と前記容量性負荷の容量成分による時定数が前記所定の期間の1/5以下であることを特徴とする請求項1～5のいずれか1項に記載の増幅回路。

【請求項7】前記抵抗回路の抵抗値は50kΩ以下であることを特徴とする請求項6に記載の増幅回路。

【請求項8】前記抵抗回路は、複数の抵抗と複数のスイッチとからなり、該スイッチのオン・オフにより該抵抗回路の抵抗値が設定されることを特徴とする請求項2に記載の増幅回路。

【請求項9】前記抵抗回路は、電界効果トランジスタのオン抵抗により構成されることを特徴とする請求項1～8のいずれか1項に記載の増幅回路。

【請求項10】前記増幅回路は、前記信号入力端子に入力される入力信号電圧が所定の極性に変化したことを検出して前記出力増幅段のバイアス電流を制御する手段をさらに有することを特徴とする請求項1～9のいずれか1項に記載の増幅回路。

【請求項11】前記入力増幅段は、所定のコモン電圧に対して正側および負側にそれぞれ変化する第1および第

2

2の入力信号をそれぞれ入力する正側増幅回路および負側増幅回路を有し、

前記正側増幅回路は、前記第1の入力信号を入力する第1の差動トランジスタ対と、該第1の差動トランジスタ対のテール電流を与える第1の電流源と、前記第1の差動トランジスタ対の二つの出力端に電流入力端および電流出力端がそれぞれ接続された第1のカレントミラーと、前記第1の差動トランジスタ対の二つの出力端間に設けられた第1のスイッチとで構成され、

10 前記負側増幅回路は、前記第2の入力信号を入力する第2の差動トランジスタ対と、該第2の差動トランジスタ対のテール電流を与える第1の電流源と、前記第2の差動トランジスタ対の二つの出力端に電流入力端および電流出力端がそれぞれ接続された第2のカレントミラーと、前記第2の差動トランジスタ対の二つの出力端間に設けられた第2のスイッチとで構成され、

前記第1の入力信号が前記正側増幅回路に入力されるときは、前記第1のスイッチがオフ状態、前記第2のスイッチがオン状態にそれぞれ制御され、前記第2の入力信号が前記負側増幅回路に入力されるときは、前記第1の

20 スwitchがオン状態、前記第2のスイッチがオフ状態にそれぞれ制御され、
前記出力増幅段は、それぞれのドレインまたはコレクタが該出力増幅段の出力端に共通接続されたコンプリメンタリ・トランジスタ対により構成され、該コンプリメンタリ・トランジスタ対の一方のゲートまたはベースが前記正側増幅回路の一方の出力端に接続され、該コンプリメンタリ・トランジスタ対の他方のゲートまたはベースが前記負側増幅回路の一方の出力端に接続されることを特徴とする請求項1～10のいずれか1項に記載の増幅回路。

【請求項12】前記入力増幅段は、所定のコモン電圧に対して正側および負側にそれぞれ変化する第1および第2の入力信号をそれぞれ入力する正側増幅回路および負側増幅回路を有し、

前記正側増幅回路は、前記第1の入力信号を入力する第1の差動トランジスタ対と、該第1の差動トランジスタ対のテール電流を与える第1の電流源と、前記第1の差動トランジスタ対の二つの出力端に電流入力端および第

40 1の電流出力端がそれぞれ接続された第1のカレントミラーと、前記第1の差動トランジスタ対の二つの出力端間に設けられた第1のスイッチと、前記第1の電流源をオン・オフさせる第3のスイッチとで構成され、
前記負側増幅回路は、前記第2の入力信号を入力する第2の差動トランジスタ対と、該第2の差動トランジスタ対のテール電流を与える第1の電流源と、前記第2の差動トランジスタ対の二つの出力端に電流入力端および第1の電流出力端がそれぞれ接続された第2のカレントミラーと、前記第2の差動トランジスタ対の二つの出力端間に設けられた第2のスイッチと、前記第2の電流源を

50

(3)

3

オン・オフさせる第4のスイッチとで構成され、さらに、前記第1のカレントミラーの第2の電流出力端が第5のスイッチを介して前記第2のカレントミラーの電流入力端に接続され、前記第2のカレントミラーの第2の電流出力端が第6のスイッチを介して前記第1のカレントミラーの電流入力端に接続されており、前記第1の入力信号が前記正側増幅回路に入力されるときは、前記第1、第4および第6のスイッチがオフ状態、前記第2、第3および第5のスイッチがオン状態にそれぞれ制御され、前記第2の入力信号が前記負側増幅回路に入力されるときは、前記第1、第4および第6のスイッチがオン状態、前記第2、第3および第5のスイッチがオフ状態にそれぞれ制御され、前記出力増幅段は、それぞれのドレインまたはコレクタが該出力増幅段の出力端に共通接続されたコンプリメンタリ・トランジスタ対により構成され、該コンプリメンタリ・トランジスタ対の一方のゲートまたはベースが前記正側増幅回路の一方の出力端に接続され、該コンプリメンタリ・トランジスタ対の他方のゲートまたはベースが前記負側増幅回路の一方の出力端に接続されることを特徴とする請求項1～10のいずれか1項に記載の増幅回路。

【請求項13】前記入力増幅段は、前記信号入力端子が接続される第1の導電型のトランジスタで構成された第1の入力回路と、前記信号入力端子が接続される第2の導電型のトランジスタで構成された第2の入力回路とにより構成され、前記第1または第2のトランジスタのドレインまたはソースから前記出力増幅段まで少なくとも容量素子を含むフィードフォワード経路を有する請求項1に記載の増幅回路。

【請求項14】前記出力増幅段は、信号を受けるゲートを有する第1および第2のトランジスタにより構成され、前記第1のトランジスタのドレインは前記信号出力端子に接続され、前記第1のトランジスタのソースと前記第2のトランジスタのドレインが接続され、前記第2のトランジスタのソースは第1の電源に接続され、前記第1のトランジスタのソースならびに第2のトランジスタのドレインの接続ノードに前記フィードフォワード信号経路が接続される請求項13に記載の増幅回路。

【請求項15】前記出力増幅段にバイアス電流を供給する電流源は、抵抗素子とこの抵抗素子を介してバイアス電圧が印加されているゲートを有する第3のトランジスタとにより構成され、前記抵抗素子と前記第3のトランジスタのゲートの接続ノードに前記フィードフォワード信号経路が接続される請求項13に記載の増幅回路。

【請求項16】前記信号入力端子に入力される入力信号電圧が所定の極性に変化したことを検出して前記出力増幅段のバイアス電流を制御する前記バイアス電圧を出力する手段を含む請求項15に記載の増幅回路。

【請求項17】前記抵抗素子は、所定のオン抵抗を有す

4

る電界効果トランジスタにより構成される請求項15または16に記載の増幅回路。

【請求項18】複数の画素と、これらの各画素に画像信号に応じた信号電圧を選択的に与えるための信号線および該信号線と交差する走査線が配列形成された液晶ディスプレイと、前記信号線を画像信号に応じて駆動する駆動回路と、前記走査線を順次選択する選択回路とを有し、

前記駆動回路は、請求項1～17のいずれか1項に記載の増幅回路を有することを特徴とする液晶ディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば所定の期間毎に変化する入力信号電圧に応じて容量性負荷を駆動する増幅回路及びこれを用いた液晶ディスプレイ装置に係り、特に、集積化のための小面積、低消費電力の増幅回路に関する。

【0002】

【従来の技術】一般に、液晶ディスプレイ装置は、液晶セルがマトリクス状に配列され、画像信号が供給される複数本の信号線と複数本の走査線が交差して配設されて構成された液晶ディスプレイパネルと、画像信号を信号線に供給して液晶ディスプレイパネルを駆動するための液晶ディスプレイ駆動回路および走査線を選択的に駆動する走査線選択回路により構成される。

【0003】この液晶ディスプレイ装置の液晶ディスプレイ駆動回路の信号線駆動回路は、ボルテージフォロア構成の増幅回路が用いられてきた。増幅回路の利得Aが有限であるために、ボルテージフォロア構成で生じる入出力間の誤差は入力電圧の $1/A$ で表される。この誤差を小さくするため、信号線駆動回路の増幅回路としては2段構成のものが使用されてきた。具体的には、入力増幅段と、位相補償容量Cfを有する出力増幅段とにより構成されていた。

【0004】

【発明が解決しようとする課題】従来の構成では、出力増幅段に接続される負荷容量が大きいとき、増幅回路を低消費電力で安定に動作させるためには、位相補償容量を例えば3～5 pF程度と大きくせざるを得ない。また、バイアス電流を大きくすることにより2段目の増幅段のトランスコンダクタを大きくせざるを得ない。従って、この増幅回路を例えば300個含んだ駆動回路を集積化した場合、1つの増幅回路当たり3～5 pFの位相補償容量Cfを必要とすることから、全体で900～1500 pFの容量が必要となり、チップ面積が非常に大きくなるという問題があった。また、安定化のために消費電流が増大するという問題があった。

【0005】上述したように、大容量の容量性負荷に接続される増幅回路において、位相補償容量により増幅回

10

20

30

40

50

(4)

5

路を安定化させる従来の手法では、複数個の増幅回路を集積化する際に必要となる位相補償容量の総和が非常に大きくなり、チップ面積が増大してコストが高くなるという問題があった。また、消費電流が増大するという問題があった。

【0006】

【課題を解決するための手段】本発明は、安定化のための位相補償容量を不要とするか、大幅に低減できるようにしてチップ面積を削減し、かつ安定に動作し、さらには消費電流を低減する増幅回路を提供することを目的とする。

【0007】本発明は、信号入力端子と容量性負荷が接続される信号出力端子との間に縦続接続され、少なくとも入力増幅段および出力増幅段を有する複数の増幅段と、出力増幅段の出力端と信号出力端子との間に挿入された少なくとも一つの抵抗を含む抵抗回路とにより構成される増幅回路を提供する。

【0008】この抵抗回路は複数の抵抗により構成され、これら複数の抵抗から選択された少なくとも一つの抵抗が出力増幅段と信号出力端子との間に接続される。また、この抵抗回路は複数の抵抗と複数のスイッチとで構成され、スイッチのオン・オフにより抵抗回路の抵抗値が設定される。さらに、抵抗回路は電界効果トランジスタのオン抵抗により構成されてもよい。

【0009】本発明では、出力増幅段の出力端から入力増幅段の入力端に帰還を施す帰還経路が設けられ、増幅回路がボルテージフォロウに構成される。

【0010】このように構成された増幅回路では、開ループ周波数特性に現われる第2のポールの周波数が増幅回路の利得が1になる周波数より低く、該開ループ周波数特性に現われる第1のゼロ点の周波数が増幅回路の利得が1になる周波数より低くなるようにすることが望ましい。

【0011】また、例えば入力換算オフセット電圧モードで増幅回路の信号出力端子と容量性負荷が切り離され、等価的に負荷容量が小さくなった場合の安定化のために、出力増幅段の入出力端間に容量（位相補償容量）を含む帰還経路が設けられてもよい。

【0012】本発明の増幅回路では、出力増幅段の出力端と信号出力端子間に挿入された抵抗回路の抵抗成分と容量性負荷の容量成分により、増幅回路の開ループ周波数特性に第1のゼロ点が形成され、このゼロ点で位相が進むことにより、出力増幅段でポールによる位相の遅れを補償することができる。すなわち、利得が1となるとき位相と -180° の差である位相余裕を大きくすることができるので、増幅回路の動作安定化のための位相補償容量を必要としない。また、位相補償容量を必要とする場合でも、その値は非常に小さくてよいので、位相補償容量を形成するために必要であったチップ面積を削減することができる。さらには、消費電流を低減するこ

6

とができる。

【0013】本発明の増幅回路では、信号入力端子に所定の期間毎に変化する入力信号電圧が入力される場合、抵抗回路と容量性負荷の容量成分による時定数を該所定の期間の $1/5$ 以下とすることが望ましい。この場合の抵抗回路の抵抗値は、例えば $50\text{ k}\Omega$ 以下が適当である。

【0014】本発明の増幅回路には、信号入力端子に入力される入力信号電圧が所定の極性に変化したことを検出して出力増幅段のバイアス電流を制御する制御部がさらに設けられてもよい。

【0015】本発明は、入力増幅段が所定のコモン電圧に対して正側および負側にそれぞれ変化する第1および第2の入力信号をそれぞれ入力する正側増幅回路および負側増幅回路を有する2入力用増幅回路にも適用できる。

【0016】2入力用増幅回路の好ましい態様によれば、正側増幅回路は第1の入力信号を入力する第1の差動トランジスタ対と、該第1の差動トランジスタ対にテール電流を与える第1の電流源と、第1の差動トランジスタ対の二つの出力端に電流入力端および電流出力端がそれぞれ接続された第1のカレントミラーと、第1の差動トランジスタ対の二つの出力端間に設けられた第1のスイッチとで構成され、負側増幅回路は第2の入力信号を入力する第2の差動トランジスタ対と、該第2の差動トランジスタ対にテール電流を与える第2の電流源と、第2の差動トランジスタ対の二つの出力端に電流入力端および電流出力端がそれぞれ接続された第2のカレントミラーと、第2の差動トランジスタ対の二つの出力端間に設けられた第2のスイッチとで構成され、第1の入力信号が正側増幅回路に入力されるときは、第1のスイッチがオフ状態、第2のスイッチがオン状態にそれぞれ制御され、第2の入力信号が負側増幅回路に入力されるときは、第1のスイッチがオン状態、第2のスイッチがオフ状態にそれぞれ制御される。

【0017】一方、出力増幅段はそれぞれのドレインまたはコレクタが該出力増幅段の出力端に共通接続されたコンプリメンタリ・トランジスタ対により構成され、該コンプリメンタリ・トランジスタ対の一方のゲートまたはベースが正側増幅回路の一方の出力端に接続され、該コンプリメンタリ・トランジスタ対の他方のゲートまたはベースが負側増幅回路の一方の出力端に接続される。

【0018】このように構成される2入力用増幅回路では、先と同様に位相補償容量を不要とするか、または極く小容量のもので済ませることができ、正側および負側増幅回路のうち、入力信号電圧が入力されず使用されない方の増幅回路における差動トランジスタ対の出力端間をスイッチで短絡することにより、出力増幅段のバイアス電流を簡単に設定することが可能となる。

【0019】さらに、2入力用増幅回路の他の態様とし

(5)

7

て、上記の2入力用増幅回路の構成に加えて、正側増幅回路および負側増幅回路に第1および第2の電流源をオン・オフさせるための第3および第4のスイッチを追加するとともに、第1のカレントミラーの第2の電流出力端を第5のスイッチを介して第2のカレントミラーの電流入力端に接続し、第2のカレントミラーの第2の電流出力端を第6のスイッチを介して第1のカレントミラーの電流入力端に接続し、第1の入力信号が正側増幅回路に入力されるときは、第1、第4および第6のスイッチがオフ状態、第2、第3および第5のスイッチがオン状態にそれぞれ制御され、第2の入力信号が負側増幅回路に入力されるときは、第1、第4および第6のスイッチがオン状態、第2、第3および第5のスイッチがオフ状態にそれぞれ制御されるようにしてもよく、このようにするとさらに低消費電力化が可能となる。

【0020】上記のように構成される本発明の増幅回路は、複数の画素と、これらの各画素に画像信号に応じた信号電圧を選択的に与えるための信号線および該信号線と交差する走査線が配列形成された液晶ディスプレイと、信号線を画像信号に応じて駆動する駆動回路と、走査線を順次選択する選択回路とを有する液晶ディスプレイ装置における駆動回路の増幅回路として有用である。

【0021】本発明は、複数の画素、前記複数の画素の各々に画像信号に応じた信号電圧を選択的に与えるための信号線および該信号線と交差する走査線が配列形成された液晶ディスプレイと、信号線を画像信号に応じて駆動する駆動回路と、走査線を順次選択する選択回路とで構成され、駆動回路は、入力信号が供給される信号入力端子と容量性負荷が接続される信号出力端子との間に縦続接続された少なくとも入力増幅段および出力増幅段を有する複数の増幅段と、前記出力増幅段の出力端と前記信号出力端子との間に挿入された少なくとも一つの抵抗を含む抵抗回路とにより構成される増幅回路を含む、液晶ディスプレイ装置を提供する。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。図1は、本発明の一実施形態に係る増幅回路の基本構成を示す図である。この増幅回路1は、一対の信号入力端子 I_{N+} 、 I_{N-} 間に入力された差動の入力信号を増幅して信号出力端子 O_{UT} より出力する回路であり、入力増幅段2とこの入力増幅段2の出力をさらに増幅する出力増幅段3を縦続接続して構成される。出力増幅段3の出力端と増幅回路1の信号出力端子 O_{UT} の間に、本発明に従った抵抗回路4が挿入されている。

【0023】また、必要に応じて出力増幅段3の出力端から入力増幅段2の入力端（信号入力端子 I_{N-} ）に帰還を施す帰還回路5が設けられる。さらに、必要に応じて出力増幅段3の入出力端間に、微小な容量値の位相補償容量 C_f を含む帰還回路を挿入してもよい。

8

【0024】次に、図1の増幅回路1の作用を説明する。

【0025】図2は、増幅回路1の等価回路であり、 g_{m1} は入力増幅段2のトランスコンダクタンス、 R_1 は入力増幅段2の出力抵抗と出力増幅段3の入力抵抗との並列合成抵抗、 C_1 は入力増幅段2の出力端に付加される容量成分、 g_{m2} は出力増幅段3のトランスコンダクタンス、 R_2 は出力増幅段3の出力抵抗、 R_f は抵抗回路4の抵抗成分、 C_L は負荷容量をそれぞれ表している。また、 v_i は信号入力端子 I_{N+} および I_{N-} への入力信号電圧、 v_1 は入力増幅段2の出力電圧、 v_2 は出力増幅段3の出力電圧、 v_o は信号出力端子 O_{UT} への出力信号電圧をそれぞれ表す。

【0026】ここで、図1の増幅回路1ではその開ループ周波数特性に現れる第2のポールの周波数が増幅回路1の利得が1となる周波数より低くなり、かつ出力増幅段3の出力端と信号出力端子 O_{UT} との間に抵抗回路4を挿入することによって、この開ループ周波数特性に第1のゼロ点を導入することができる。すなわち、図2の等価回路を用いて導き出した入力信号電圧 v_i から出力電圧 v_2 に対する伝達特性より、増幅回路1の第1、第2のポールおよび第1のゼロ点は、以下のように求められる。

【0027】第1のポール周波数(rad/sec) : $1 / ((R_2 + R_f) C_L)$

(但し、 $R_2 \gg R_f$ より、近似的に $1 / (R_2 \cdot C_L)$)

第2のポール周波数(rad/sec) : $1 / (R_1 \cdot C_1)$

第1のゼロ点周波数(rad/sec) : $1 / (R_f \cdot C_L)$

図3の(a)および(b)の実線に、抵抗回路4を設けた場合の振幅および位相の開ループ周波数特性を示す。また、比較のために抵抗回路4がないとき($R_f = 0$)の開ループ周波数特性を破線で示す。図3の(b)に示すように、第1、第2のポールで遅れた位相を本発明に基づく抵抗回路4によって形成されるゼロ点により進めることができ、位相余裕を改善することができる。従って、増幅回路1の動作安定化のために、従来必要としたような位相補償容量を必要としないので、位相補償容量を形成するために必要であったチップ面積を削減することが可能となる。

【0028】また、従来の位相補償では、第2のポール周波数は、大容量負荷に対して g_{m2} / C_L と近似されるので、出力増幅段の電流を大きくすることにより位相余裕を改善できたが、消費電力の増加となっていた。これに対し、本発明では、トランスコンダクタそのものが直接ポールの周波数に関係ないため、低周波電力で位相補償を行うことができる。

【0029】このように本発明の増幅回路では、基本的には位相補償容量が不要となるが、以下に説明するように微小な位相補償容量 C_f を増幅回路1に付加してもよ

(6)

9

い。増幅回路1は、一般的に入力換算オフセット電圧(V_{os})を有している。この入力換算オフセット電圧 V_{os} は、例えば図4の(a)に示すように、オフセットのない増幅回路の一方の入力(ここでは非反転入力)に入力換算オフセット電圧 V_{os} に相当する電圧源が入った形で、モデル化できる。図4の(b)に示すように、増幅回路に負帰還を施して増幅回路をボルテージフォロア構成で用いると、出力信号電圧 V_{out} は入力信号電圧 V_{in} を入力換算オフセット電圧 V_{os} 分の電圧だけオフセットした電圧が出力される。

【0030】この入力換算オフセット電圧 V_{os} をキャンセルするため、従来では図5の(a)に示すように容量 C_h とスイッチ $SW1 \sim SW3$ を用い、一度 $SW1$ 、 $SW3$ を閉じ、 $SW2$ を開いて増幅回路をボルテージフォロア構成にすることによって、容量 C_h に入力換算オフセット電圧 V_{os} がかかるようにし(入力換算オフセット検知モード)、次に図5の(b)に示すようにスイッチ $SW1$ 、 $SW3$ を開き、スイッチ $SW2$ を閉じてオフセット電圧 V_{os} がかかった容量 C_h が増幅回路の他方の入力(反転入力)に直列に入るように接続を変えることで、入力換算オフセット V_{os} をキャンセルする方法をとっていた。

【0031】このように入力換算オフセット電圧キャンセルのためには、図5の(a)のオフセット電圧検知のための時間が必要となり、この時間を短くするために通常、増幅回路の信号出力端子と負荷容量 C_L とはスイッチ $SW4$ により切断されている。

【0032】この入力換算オフセット電圧キャンセルの手法を本発明の増幅回路にそのまま適用すると、図5の(a)のオフセット電圧検知モードでは図1の増幅回路1の信号出力端子 OUT が負荷容量 C_L から切断されるため、図6に示すように第1のポールおよび第1のゼロ点の周波数が実線で示す状態から周波数の高い方にシフトする結果、位相余裕が低減してしまう。そこで、オフセット電圧検知モードのように実効的な負荷容量 C_L が小さくなった状態に対応して、図1中に破線で示すように位相補償容量 C_f を併用すれば、このような問題を避けることができ、位相余裕を確保することができる。この場合、位相補償容量 C_f は例えば0.5pFといった小さな値でよいから、チップ面積の増大は僅かで済み、本発明の利点は損なわれない。

【0033】次に、図7～図22を参照して図1の増幅回路の具体的回路構成を説明する。図7～図9に、図1の増幅回路の第1の具体例を示す。図7に示す第1の増幅回路は増幅段が2段の構成であり、差動トランジスタ対を構成するトランジスタ M_{p1} 、 M_{p2} と該差動トランジスタ対にテール電流を与えるトランジスタ M_{p4} による電流源および差動トランジスタ対の二つの出力端であるドレインに電流入力端および電流出力端が接続されたトランジスタ M_{n1} 、 M_{n2} によるカレントミラーか

10

らなる入力増幅段と、トランジスタ M_{p3} 、 M_{n3} によるコンプリメンタリ・トランジスタ対からなる出力増幅段と、抵抗回路を構成する抵抗 R_f によって構成される。なお、 M_{px} はPチャネルMOSトランジスタ、 M_{nx} はNチャネルMOSトランジスタをそれぞれ表す(以下、同様)。

【0034】図8は、図7の抵抗 R_f の代わりにトランジスタ M_{pr} 、 M_{nr} のオン抵抗を用いた増幅回路の第2の具体例を示している。これによると、抵抗回路を構成するPチャネルMOSトランジスタ M_{pr} とNチャネルMOSトランジスタ M_{nr} のソースとドレインが互いに接続され、トランジスタ M_{p3} と M_{n3} のノードと出力端子 OUT との間に接続され、トランジスタ M_{pr} と M_{nr} のゲートは電源 V_{dd} と V_{ss} にそれぞれ接続される。

【0035】図9は、図4および図5で説明した増幅回路の入力換算オフセット電圧キャンセル動作で必要なスイッチ $SW4$ の機能を図8のトランジスタ M_{pr} 、 M_{nr} が兼ねるようにした増幅回路の第3の具体例を示す。この増幅回路によると、トランジスタ M_{nr} のゲートがインバータ IN を介してトランジスタ M_{pr} のゲートに接続される。この回路によると、スイッチング信号が信号ライン SL に入力されると、両トランジスタ M_{pr} 、 M_{nr} がオンとなり、このオン抵抗が抵抗 R_f の機能を果たす。

【0036】図10に、図7の増幅回路において負荷容量 C_L の値を150pFにしたときの利得および位相の周波数特性のシミュレーション結果を示す。抵抗 R_f が無い場合にくらべ、抵抗 R_f を設けることにより、大幅に位相余裕が改善されていることが分かる。

【0037】また、上述したように入力換算オフセット電圧検知モードなどで、信号出力端子 OUT が負荷容量 C_L と切断され、等価的に負荷容量 C_L の値が例えば2pFと小さくなった場合、図11に示すように得られる位相余裕が小さくなる。これに対しては、例えば0.5pFと小さな位相補償容量 C_f を併用することにより、図12に示すように大きな負荷容量でも小さな負荷容量でも、共に大きな位相余裕を確保することができる。

【0038】図13に示すように、容量が小さくとも、位相補償容量 C_f の併用により大容量負荷のときは位相余裕が若干少なくなる。図14は、この点を改善するため、位相補償容量 C_f に直列接続されたスイッチ SWC を設けることにより、入力換算オフセット電圧検知モードなどで信号出力端子 OUT が負荷容量 C_L から切断され、等価的に負荷容量 C_L が例えば2pFと小さくなった場合のみスイッチ SWC を閉じるようにした増幅回路の第4の具体例を示している。これによると、スイッチ SWC がトランジスタ M_{n2} と M_{n3} とのノードとキャパシタ C_f との間に接続され、負荷容量 C_L が小さくなったとき、このスイッチ SWC が閉成される。これによ

(7)

11

って本発明による本来の位相余裕を確保することもできる。

【0039】液晶ディスプレイの信号線は、上述したような単純な容量モデルから、図15に示すような π 型モデルなどで表される。 π 型モデルのように、負荷に抵抗成分RLを含んでいても、図16に示すシミュレーション結果から明らかなように周波数特性はほとんど変わらない。

【0040】図17に、図7に示した増幅回路の出力増幅段の出力端（トランジスタMn3およびMp3のドレイン）から負側の信号入力端子IN-に帰還を施したボルテージフォロア構成で、入力信号電圧として矩形波を入力したときのシミュレーション結果を示す。図7の増幅回路では、立上りのスルーレートはトランジスタMp3から供給される電流と負荷容量値CLの値により決定されており、トランジスタMp3から供給される電流が小さいため、十分なスルーレートが得られない。

【0041】この点については、増幅回路の入力信号電圧が正側に変動したことを検出して、出力増幅段のバイアス電流を供給するトランジスタMp3の出力電流を増加させることにより、立上りのスルーレートを改善することができる。

【0042】図18は、この原理で立上りのスルーレートを改善した増幅回路の第5の具体例であり、この増幅回路は、トランジスタMn4、Mp6により入力信号電圧が正極性に変化したことを検出し、入力信号電圧が正極性に変動したときにトランジスタMp7をオンさせて、電流源ILより供給される電流をトランジスタMp3のゲートバイアス電圧を決定しているダイオード接続されたトランジスタMp5に流し、トランジスタMp3のゲートバイアス電圧を大きくする構成となっている。

【0043】図18の回路についてより詳細に説明すると、トランジスタMp6は電流源を構成し、そのゲートはバイアス電流決定用トランジスタMp5のドレインおよびゲートに接続されている。トランジスタMp7はゲートがトランジスタMn4およびMp6のドレインに接続され、ソースがバイアス電流決定用トランジスタMp5のドレインおよびゲートに接続され、ドレインが定電流源ILに接続されている。

【0044】ここで、説明を簡単にするために、トランジスタMn4と入力増幅段2のトランジスタMn1は同一サイズ、つまり W/L （ W はMOSトランジスタのチャネル幅、 L はMOSトランジスタのチャネル長）が同一であるとする。また、トランジスタMp6のサイズ（ W/L ）Mp6は、入力増幅段2の電流源トランジスタMp4のサイズ（ W/L ）Mp4の0.6倍であるとする。信号入力端子IN+、IN-間に印加される電圧がゼロまたは負のとき、つまり、正側の信号入力端子IN+の電圧が負側の信号入力端子IN-の電圧より低いときは、トランジスタMn1にトランジスタMp4から供

12

給される電流の半以下の電流が流れ、このトランジスタMn1の電流がトランジスタMn4によりコピーされる。

【0045】ここで、トランジスタMp6から供給される電流は、トランジスタMp4より供給される電流の0.6倍であり、この場合はトランジスタMn4に流れる電流より大きいので、トランジスタMp6のドレイン電圧が高くなり、トランジスタMp7はオフとなるため、電流源ILから供給される電流はトランジスタMp5に加算されない。

【0046】一方、信号入力端子IN+、IN-間に印加される入力信号電圧が所定の正極性の電圧以上のとき、つまり、正側の信号入力端子IN+の電圧が負側の信号入力端子IN-の電圧より所定値以上高いときは、トランジスタMn1にトランジスタMp4から供給される電流の0.6倍より大きい電流が流れ、このトランジスタMn1の電流がトランジスタMn4によりコピーされる。

【0047】ここで、トランジスタMp6から供給される電流は、トランジスタMp4から供給される電流の0.6倍であり、この場合はトランジスタMn4に流れる電流より小さいため、トランジスタMp6のドレイン電圧が低くなり、トランジスタMp7はオンとなる。これにより電流源ILから供給される電流はトランジスタMp7を介してバイアス電流決定用トランジスタMp5に加算されるため、トランジスタMp5のゲート・ソース間電圧は大きくなり、トランジスタMp3から供給される電流も大きくなる。

【0048】このようにして、入力信号電圧が正極性に变化するときに出力増幅段3のトランジスタMp3から供給される電流が大きくなるように制御できるので、立上りのスルーレートを改善することができる。

【0049】図19に、図18に示した立上りのスルーレートを改善した増幅回路において、出力増幅段の出力（トランジスタMn3およびMp3のドレイン）から負側の信号入力端子IN-に帰還を施したボルテージフォロア構成で、入力信号電圧として矩形波を入力したときのシミュレーション結果を示す。ここで、 v_2 は出力増幅段2の出力電圧（トランジスタMp3およびMn3のドレイン電圧）、 v_o は信号出力端子OUTの電圧である。立ち下がり特性と同程度まで立上りの特性が改善されていることが分かる。

【0050】抵抗回路Rfと負荷容量CLは低域通過フィルタ（以下、LPFという）を構成しているため、その時定数 τ （ $=Rf \cdot CL$ ）により v_o は v_2 に対して遅れる。通常、抵抗と容量により形成されるLPFでは、時定数の5倍程度の時間がセtringに必要なので、本発明の増幅回路を例えば所定の期間毎に信号電圧が変化する液晶ディスプレイ駆動回路に適用する際には、時定数 τ を所定の周期の $1/5$ 以下となるようにす

(8)

13

ればよい。

【0051】このようにすることで、図19に示すように入力増幅段2の出力電圧 v_2 に対する信号出力端子OUTの電圧 v_o の遅れ時間を小さくして、所定のセトリング特性を満足させることができる。具体的には、例えば液晶ディスプレイ駆動回路における信号電圧の駆動周期はほぼ $20\mu\text{sec}$ なので、負荷容量CLとして $50\text{pF} \sim 100\text{pF}$ 程度を想定した場合、抵抗回路Rfの値を $50\text{k}\Omega$ 以下にすればよい。

【0052】液晶ディスプレイの信号線はディスプレイのサイズや信号線の材質によっても変わるため、これらに応じて抵抗Rfを最適な値に選ぶことが望ましい。図20～図22に、抵抗Rfを最適な値にするための具体例を示す。

【0053】図20は、出力増幅段の出力端（トランジスタMn3、Mp3のドレイン）と信号出力端子OUTとの間に、抵抗値の異なる複数の抵抗Rf10、Rf11、Rf12、…をスイッチSW10、SW11、SW12、…を介して並列に配設し、スイッチSW10、SW11、SW12、…の開閉を制御することによって抵抗Rfの値を選択するようにした増幅回路の具体例である。

【0054】なお、図20において抵抗Rf10、Rf11、Rf12、…の抵抗値を同一とし、スイッチSW10、SW11、SW12、…の開閉による抵抗の並列接続数を変えることで、抵抗Rfの値を選択するようにしてもよい。

【0055】図21は、出力増幅段の出力端（トランジスタMn3、Mp3のドレイン）と信号出力端子OUTとの間に、抵抗値の異なる複数の抵抗Rf10、Rf11、Rf12、…を直列に配設するとともに、各抵抗Rf10、Rf11、Rf12、…にスイッチSW10、SW11、SW12、…を並列に配設し、スイッチSW10、SW11、SW12、…の開閉を制御することによって抵抗Rfの値を決定するようにした増幅回路の第7の具体例である。

【0056】なお、図21において抵抗Rf10、Rf11、Rf12、…の抵抗値を同一とし、スイッチSW10、SW11、SW12、…の開閉による抵抗の直列接続数を変えることで、抵抗Rfの値を選択するようにしてもよい。

【0057】図22は、増幅回路を集積回路化する際に、予め複数の抵抗Rf10、Rf11、Rf12、…をチップ上に形成しておき、液晶ディスプレイパネルに応じて抵抗値Rfが最適になるように、これらの抵抗Rf10、Rf11、Rf12、…のうちの一つあるいは複数の抵抗を金属配線のレイヤのみ変えることで実現するようにした増幅回路の第8の具体例である。

【0058】図23は、第9の具体例であり、同相入力電圧範囲の広い増幅回路に本発明を適用したrail-to-rail typeの増幅回路を示す。これによると、入力増幅段2は、トランジスタMp11、Mp12による差動対と

14

バイアス電流源Ib2により構成され、Vss側に同相入力電圧範囲を有する第1の差動増幅回路と、トランジスタMn11、Mn12による差動対とバイアス電流源Ib1により構成され、Vdd側に同相入力電圧範囲を有する第2の差動増幅回路と、トランジスタMp14ないしMp17で構成するカレントミラー回路とで構成される。これにより、第1の差動増幅回路の出力電流と第2の差動増幅回路の電流出力とがカレントミラー回路で折り返されて加算される。ここで、トランジスタMn14、Mn15は能動負荷として動作している。

【0059】上記構成の増幅回路において、高い入力電圧、即ち電圧Vdd側の入力電圧INが入力増幅段2に印加されると、トランジスタMn11、Mn12でなる第1の差動増幅回路がアクティブとなる。これに対して、入力電圧INが低い、即ち電圧Vss側にある場合、第2の差動増幅回路がアクティブとなる。即ち、入力電圧INがVdd側或はVss側となっても、第1或は第2の差動増幅回路のどちらか一方が動作するため、入力同相電圧範囲の広い入力増幅段2が実現される。この構成では、入力電圧INがVdd側となった時の信号経路が、入力電圧がVss側となった時の信号経路より長くなり、これによる遅延時間差が生じるが、通常のa-Si（アモर्फアスシリコン）TFT液晶ディスプレイ駆動回路用増幅回路の動作速度からするとこの遅延時間差は小さく本発明の効果は変わらない。

【0060】図24は、同相入力電圧範囲の広い増幅回路に本発明を適用したレール・ツ・レール型（rail-to-rail type）増幅回路の第10の具体例を示す。これによると、入力増幅段2は、トランジスタMp11、Mp12による差動対とMp21、Mp22による差動対のソースを共通にしており、トランジスタMp11、Mp12のゲートは入力信号が印加され、トランジスタMp13、Mp14のゲートは、トランジスタMn11、Mn12による差動対で構成される差動増幅回路の出力に接続されている。また、トランジスタMn11、Mn12による差動対で構成される差動増幅回路の出力の動作点は、トランジスタMp21、Mp22が動作する電圧に設定してある。

【0061】この構成により、入力電圧がVdd側に近付きトランジスタMp11、Mp12がオフしてもMn11、Mn12トランジスタによる差動対で構成される差動増幅回路を介して、トランジスタMp21、Mp22が動作するので、入力同相電圧範囲の広い入力増幅段2が実現される。この構成では、入力電圧がVdd側となった時、トランジスタMn11、Mn12による差動対で構成される差動増幅回路を通過する分、入力電圧がVss側に近づいたときの動作に比べ、差動増幅回路の遅延時間だけ遅くなるが、通常のa-SiTFT液晶ディスプレイ駆動回路用増幅回路の動作速度からするとこの遅延時間差は小さく本発明の効果は変わらない。

(9)

15

【0062】図23及び図24に示した例では、 $a-SiTF$ T液晶ディスプレイ駆動回路の増幅回路を前提としたが、 $Poly-SiTF$ T液晶ディスプレイ駆動回路の増幅回路では、パネルの複数の信号線が1個の増幅回路により時分割で駆動されるため、 $a-SiTF$ T液晶ディスプレイ駆動回路の増幅回路より10倍以上高速に動作する増幅回路が要求される。このため、同相入力電圧範囲の広い入力増幅段で生じる入力電圧による遅延時間差は、 $a-SiTF$ T液晶ディスプレイ駆動回路用増幅回路の時と異なり無視できなくなり、位相余裕の劣化となる。これは、図25および図26に示したように、同相入力電圧を広げるために付加したトランジスタM11、M12による差動対で構成される差動増幅回路出力から出力増幅段に容量素子を含むフィードフォワード経路を付加することにより高周波信号成分が図25では、Mp16、Mp17を通過する時間、また、図26では、Mp21、Mp22を通過する時間を短くすることができる。これにより、遅延時間差を緩和することができる。

【0063】より具体的には、図25および図26では、出力増幅段のバイアス電流源を構成するトランジスタMp13のゲートに抵抗Rffを介してバイアス電圧Vbを印加し、トランジスタMp15のゲートからトランジスタMp13のゲートに容量Cff2によるフィードフォワード経路を付加している。さらに、出力増幅段の増幅トランジスタMn13が、ゲートが共通でカソード構成されたトランジスタMn13a、Mn13bに置き換え、トランジスタMn13aのソースとトランジスタMn13bのドレインの接続点とトランジスタMp14のゲートとの間に容量Cff1によるフィードフォワード経路が付加されている。この構成により、入力電圧が高速に変化しても変化点の周波数の高い成分はこれら容量性フィードフォワード経路を介して出力増幅段にフィードフォワードされるため、同相入力電圧範囲の広い入力増幅段で生じる入力電圧による遅延時間差を緩和することができる。

【0064】なお、図25および図26では、トランジスタMp13のゲートへのフィードフォワード経路形成のため、抵抗Rffを用いているが、図27に示すように電界効果トランジスタMffのオン抵抗を用いても良い。

【0065】また、図28に示すように、図26に示す増幅回路に入力信号電圧が正側に変動したことを検出して、出力増幅段3のバイアス電流を供給するトランジスタMp13の出力電流を増加させるバイアス電圧(Vb)制御回路を組み合わせたこともできる。この時、図28に点線で示したように、入力信号電圧が正側に変動したことを検出して加えるバイアス電流IL2を増幅回路のバイアス電流Ib1に直接加算せず、フィードフォワード経路を設けるため加えた抵抗Rffを介して加え

16

ることにより、 $IL2 \times Rff$ なる電圧が抵抗Rffにかかるため、小さなバイアス電流ILでトランジスタMp3のゲート・ソース電圧を大きくすることができる。つまり、入力信号電圧が正側に変動した時に、小さなバイアス電流ILで、トランジスタMp13にて大きな出力電流を供給することができる。

【0066】図28の増幅回路において、トランジスタMn16、Mp32、Mp33、Mp34、電流源IL1、IL2により構成されるバイアス電圧(Vb)制御回路は、入力電圧が低い電圧から高い電圧に大きく変動した場合、これを検知して出力増幅段3のバイアス電流を供給するトランジスタMp13の出力電流を増加させる。この制御回路は、同相入力電圧範囲を広げるために設けてあるトランジスタMn11、Mn12による差動対並びに、トランジスタMp14~Mp17による能動負荷で構成される増幅回路を介して、トランジスタMp11、Mp12による差動対に並列に設けたトランジスタMp11、Mp12による差動対に接続される。この差動対の出力が前記制御回路の入力であるトランジスタMn16のゲートに印加される。このため、入力電圧の変化に対して、この制御回路が動作して出力電流を増加するまでに遅延を生じる。この遅延は、図29に示すように、同相入力電圧範囲を広げるために加えてあるトランジスタMn11、Mn12による差動対並びに、トランジスタMp14、Mp17による能動負荷で構成される増幅回路の出力であるトランジスタMn12の出力と入力電圧変化検知部出力であるトランジスタMn16の出力の間に容量Cff3を設けることにより、入力電圧の変化が、容量Cff3を介して入力電圧変化検知部出力にフィードフォワードされるため緩和できる。

【0067】図30に、液晶ディスプレイ駆動回路用の増幅回路の機能を示す。図30に示すように液晶セルの共通電極側に印加するコモン電圧Vcomを一定電圧にし、この電圧Vcomを基準にして信号電圧VRGBを周期的に反転させる場合、液晶ディスプレイ駆動回路は、図30に示すように入力されるRGB信号をVcomより正側の電圧にデジタル・アナログ変換する正側D/A変換器DA1と、Vcomより負側の電圧にデジタル・アナログ変換する負側D/A変換器DA2と、これら正側および負側のD/A変換器の出力電圧を増幅するための入力の電圧変化範囲が異なる2入力用増幅回路AMPが必要となる。また、この2入力用増幅回路はその機能として、一方のD/A変換器の出力を入力する増幅するとき、他方のD/A変換器の出力を入力する増幅回路がオフになっていることが要求される。

【0068】図31は、上述した入力信号電圧範囲の異なる2入力用増幅回路に本発明を適用した第15の具体例である。この2入力用増幅回路は増幅段が2段の構成であり、入力増幅段はコモン電圧Vcomに対して正側の入力信号電圧範囲を持つ正側増幅回路と、コモン電圧V

(10)

17

com に対して負側の入力信号電圧範囲を持つ負側増幅回路と、正側および負側いずれのD/A変換器の出力を入力するかを選択する選択信号POLにより正側および負側増幅回路の動作を選択するための第1および第2のスイッチSW20、SW21とで構成される。

【0069】正側増幅回路は、トランジスタMn41、Mn42により構成される第1の差動トランジスタ対と、第1の差動トランジスタ対にテール電流を与える第1の電流源Ib1と、第1の差動トランジスタ対の二つの出力端（トランジスタMn41、Mn42のドレイン）に電流入力端および電流出力端がそれぞれ接続されたトランジスタMp44、Mp45からなる第1のカレントミラーにより構成される。負側増幅回路は、同様にトランジスタMp41、Mp42により構成される第2の差動トランジスタ対と、第2の差動トランジスタ対にテール電流を与える第2の電流源Ib1と、第2の差動トランジスタ対の二つの出力端（トランジスタMp41、Mp42のドレイン）に電流入力端および電流出力端がそれぞれ接続されたトランジスタMn44、Mn45からなる第2のカレントミラーにより構成される。

【0070】第1のスイッチSW20は第1の差動トランジスタ対の二つの出力端間に接続され、第2のスイッチSW21は第2の差動トランジスタ対の二つの出力端間に接続されている。

【0071】また、出力増幅段はトランジスタMp43、Mn43により構成され、抵抗回路は抵抗Rfにより構成される。

【0072】図31に示す2入力用増幅回路の動作を説明するために、まず負側増幅回路に負側D/A変換器の出力を入力する場合を考える。このとき、選択信号POLには“0”が与えられ、スイッチSW20はオン、スイッチSW21はオフの状態にある。正側D/A変換器の出力電圧は不定であるが、コモン電圧Vcomより高いので、トランジスタMn1のゲート電圧、つまり増幅回路の出力増幅段の出力電圧がVcomより低くとも、トランジスタMn42はオン状態となる。また、スイッチSW20はオンであるので、トランジスタMp45もダイオード接続となっている。

【0073】電流源Ib1より供給される電流は、トランジスタMn42、Mn41の一方あるいは両方を介して、ダイオード接続されたトランジスタMp44、Mp45に流れ、トランジスタMp44、Mp45のサイズ(W/L)の2倍のサイズとトランジスタMp43のサイズ(W/L)の比に応じて発生した電流が出力増幅段のバイアス電流としてトランジスタMp43から供給される。

【0074】すなわち、負側のD/A変換器の出力を入力する場合は、図32に示す接続状態で動作することになる。これは、出力増幅段3のバイアス電流の与え方が異なる他は図7に示した回路接続と全く同じで、図7～

18

図9で説明したように位相補償容量を必要とせず、抵抗Rfにより安定動作が実現できるのは明らかである。よって、位相補償容量が必要であったチップ面積を削減できるので、コストの低減をすることができる。

【0075】正側D/A変換器の出力を入力する場合は、全くPチャネルMOSトランジスタとNチャネルMOSトランジスタが逆になるだけで、基本的な動作は負側D/A変換器の出力を入力する場合と同じである。

【0076】また、このように使用していない増幅回路の差動トランジスタ対の出力間をスイッチで短絡することにより、出力増幅段のバイアス電流を簡単に設定できるという効果もある。

【0077】図33は図31の変形例にかかる増幅回路の第16の具体例であり、正側増幅回路の第1のカレントミラーにトランジスタMp44の電流を参照してアダプティブに出力増幅段のバイアス電流を与えるための電流を発生するトランジスタMp46が追加され、負側増幅回路の第2のカレントミラーにトランジスタMn44の電流を参照してアダプティブに出力増幅段のバイアス電流を与えるための電流を発生するトランジスタMn46が追加されている。

【0078】また、正側増幅回路および負側増幅回路の電流源Ib1、Ib2のオン・オフを制御するための第3、第4のスイッチSW22、SW23と、第1のカレントミラーの第2の電流出力端であるトランジスタMp46のドレインと第2のカレントミラーの電流入力端との間に挿入された第5のスイッチSW24と、第2のカレントミラーの第2の電流出力端であるトランジスタMn46のドレインと第1のカレントミラーの電流入力端との間に挿入された第6のスイッチSW26が追加されている。追加されたスイッチSW22～SW26も、スイッチSW20、SW21と同様に選択信号POLにより制御される。

【0079】また、出力増幅段はトランジスタMp43、Mn43により構成され、抵抗回路は抵抗Rfにより構成される。

【0080】図33に示す2入力用増幅回路の動作を説明するために、まず負側増幅回路に負側D/A変換器の出力を入力する場合を考える。このとき、選択信号POLには“0”が与えられ、スイッチSW20、SW23、SW25はオン、スイッチSW21、SW22、SW24はオフの状態にある。スイッチSW22がオフであることにより、電流源Ib1より供給される電流はトランジスタMn41、Mn42には流れず、正側増幅回路を構成する差動入力トランジスタMn41、Mn42はオフ状態となる。また、スイッチSW23はオンであるので、電流源Ib2より供給される電流はトランジスタMp41、Mp42には流れ、負側増幅回路は動作する。

【0081】ここで、トランジスタMn46はトランジ

(11)

19

スタMn44に流れる電流を参照した電流を発生させ、オンとなっているスイッチSW25を介して、同じくオンとなっているスイッチSW20により、ダイオード接続されたトランジスタMp45、Mp44に流れ、トランジスタMp44、Mp45のサイズ(W/L)の2倍のサイズとトランジスタMp43のサイズ(W/L)の比に応じて発生した電流が出力増幅段のバイアス電流としてトランジスタMp43から供給される。結局、負側のD/A変換器の出力を入力する場合、増幅回路は、図34に示す接続状態で動作することになる。

【0082】すなわち、図34の接続状態で増幅回路が定常状態となったとき、言い換えれば負側増幅回路の正負の入力信号電圧がバランスしたときは、負側増幅回路の電流源Ib2からのバイアス電流の1/2の電流がトランジスタMn44、Mn46のサイズ(W/L)の比(W/L)Mp46/(W/L)Mp6に応じて発生し、これがトランジスタMp44、Mp45のサイズ(W/L)の2倍のサイズと、トランジスタMp43のサイズ(W/L)に比に応じて増幅された電流が出力増幅段のバイアス電流としてトランジスタMp3から供給される以外、図7に示した回路接続と全く同じで、図7～図9で説明したように抵抗Rfにより安定動作が実現できるのは明らかである。

【0083】また、負側増幅回路の正側入力が入力より大きくなるような過渡状態においては、電流源Ib2からのバイアス電流が全てトランジスタMp41を介してトランジスタMn44に流れることになるので、トランジスタMp43から供給される出力増幅段のバイアス電流を定常状態のときの2倍とすることができる。これにより、トランジスタMp43と負荷容量で決定される立ち上がり特性を定常状態での消費電力を上げることなく2倍に改善することができる。

【0084】さらに、負側増幅回路の正入力が入力より小さくなるような過渡状態においては、電流源Ib2からのバイアス電流が全てトランジスタMp42に流れ、トランジスタMn44には流れなくなる。その結果、トランジスタMp43から供給される出力増幅段のバイアス電流はゼロとなり、トランジスタMp43からトランジスタMn43に流れる貫通電流を削減して、低消費電力化をはかることができる。

【0085】正側D/A変換器の出力を入力する場合は、全くPチャネルMOSトランジスタとNチャネルMOSトランジスタが逆になるだけで、基本的な動作は負側D/A変換器の出力を入力する場合と同じである。

【0086】このように抵抗Rfを設けることにより、位相補償容量を必要とすることなく増幅回路の安定動作が実現でき、チップ面積を削減できるばかりでなく、立ち上がりや下がりの過渡特性を定常状態での消費電力化を増大することなく2倍にすることができる。

【0087】図35は、図36に示す液晶ディスプレイ

20

装置に用いる液晶ディスプレイ駆動回路に本発明の増幅回路を用いた構成図である。

【0088】図36に示される液晶ディスプレイ装置は、液晶セル301がマトリクス状に配列され、画像信号が供給される複数本の信号線304と複数本の走査線305が交差して配設されて構成された液晶ディスプレイパネル300と、画像信号を信号線304に供給して液晶ディスプレイパネル300を駆動するための液晶ディスプレイ駆動回路302、および走査線305を選択的に駆動する走査線選択回路303により構成される。

【0089】図35に示すようにディスプレイ駆動回路はRGB信号を記憶する1水平ラインに必要な画素数と同じ数のラッチ222と、RGBをラッチするタイミングパルスを転送するシフトレジスタ221と、ラッチ222で記憶されたRGB信号を1水平期間の周期でさらに記憶するラッチ223と、ラッチ223で記憶された1水平ラインのRGB信号をアナログ値に変換するD/A変換器224と、D/A変換器224にてアナログ電圧に変換されたRGB信号を入力し、液晶ディスプレイパネルの信号線および液晶セルを駆動するための駆動回路225より構成される。

【0090】増幅回路225は、この例では図31に示した本発明に基づく第15の具体例の回路である。図31で説明した通り、増幅回路225では動作安定化のために特に位相補償容量を必要としない。

【0091】図35では、図31に示した具体例の増幅回路を駆動回路225に適用した例について説明したが、他の具体例の増幅回路を駆動回路225に用いてもよいことは勿論である。

【0092】なお、以上の実施形態ではMOSトランジスタで構成した増幅回路について説明したが、各トランジスタをバイポーラトランジスタに置き換えて増幅回路を構成することもできる。その場合は、ゲートをベースに、ソースをエミッタに、ドレインをコレクタにそれぞれ置き換え、さらにW/Lをエミッタ面積に置き換えて考えればよい。

【0093】

【発明の効果】以上説明してきたように、本発明によれば少なくとも入力増幅段と出力増幅段を有する増幅回路において、出力増幅段の出力端と増幅回路の信号出力端子との間に抵抗回路を挿入することにより、従来の増幅回路で安定化のために必須であった位相補償容量が不要となるか、あるいは大幅に低減することができるので、集積化した際にチップ面積を削減してコストを低減させ、かつ安定に動作する増幅回路を安価に提供できる。

【0094】また、本発明の増幅回路を集積化した液晶ディスプレイ駆動回路に適用することによって、液晶ディスプレイ装置のコストも低減することができる。

【0095】また、従来の位相補償では、ポール周波数は、大容量負荷に対して出力増幅段のトランスコンダク

(12)

21

タンスに比例するので、出力増幅段の電流を大きくすることにより位相余裕を改善できたが、消費電力の増加となっていた。これに対し、本発明ではトランスコンダクタンスそのものが直接ポールの周波数に関係ないため、低消費電力で位相補償を行なうことができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る増幅回路の基本構成を示す図

【図2】図1の増幅回路の等価回路を示す図

【図3】図1の増幅回路の利得および位相の周波数特性を示す図

【図4】増幅回路の入力換算オフセットを説明する図

【図5】増幅回路の入力換算オフセットキャンセル動作を説明する図

【図6】図1の増幅回路で位相補償容量を併用しない場合のオフセット検知モードでの利得および位相の周波数特性の変化を示す図

【図7】図1の増幅回路の第1の具体例を示す図

【図8】図7で抵抗回路を電界効果トランジスタのオン抵抗で実現した増幅回路の第2の具体例を示す図

【図9】図8でオン抵抗として用いる電界効果トランジスタをスイッチと兼用した増幅回路の第3の具体例を示す図

【図10】本発明による周波数特性の改善効果を説明するための図

【図11】周波数特性の負荷容量に対する依存性を示す図

【図12】位相補償容量併用の効果を示す図

【図13】位相補償容量の周波数特性に対する影響を示す図

【図14】位相補償容量を入り切りするためのスイッチを付加した増幅回路の第4の具体例を示す図

【図15】抵抗成分を含んだ負荷を図7に示す増幅回路に接続した状態を示す図

【図16】図15の周波数特性を示す図

【図17】図7の増幅回路の過渡特性を示す図

【図18】図5の増幅回路の過渡特性を改善した増幅回路の第5の具体例を示す図

【図19】図18の増幅回路の改善された過渡特性を示す図

【図20】図18の増幅回路を変形した第6の具体例を示す図

【図21】図18の増幅回路を変形した第7の具体例を示す図

【図22】図18の増幅回路を変形した第8の具体例を示す図

【図23】同相入力電圧範囲の増幅回路に本発明を適用した増幅回路の第9の具体例を示す図

【図24】同相入力電圧範囲の増幅回路に本発明を適用した増幅回路の第10の具体例を示す図

22

【図25】図23の増幅回路の高速化を計った増幅回路の第11の具体例を示す図

【図26】図24の増幅回路の高速化を計った増幅回路の第12の具体例を示す図

【図27】図26でオン抵抗として用いる電界効果トランジスタを用いた増幅回路の第13の具体例を示す図

【図28】過渡特性を改善した図26の増幅回路の変形例にかかる第14の具体例を示す図

【図29】過渡特性を改善した図26の増幅回路の他の変形例にかかる第15の具体例を示す図

【図30】共通電極電圧 V_{com} を一定にしたときの液晶ディスプレイ駆動回路の増幅回路に必要な機能を説明する図

【図31】本発明に係る入力信号電圧範囲の異なる2入力増幅回路の第16の具体例を示す図

【図32】図31の増幅回路の動作を説明する図

【図33】図31の増幅回路の変形例にかかる増幅回路の第17の具体例を示す図

【図34】図33の増幅回路の動作を説明する図

【図35】図33の増幅回路を適用した液晶ディスプレイ駆動回路を示す図

【図36】液晶ディスプレイ装置の構成を示す図

【符号の説明】

1…増幅回路

2…入力増幅段

3…出力増幅段

4…抵抗回路

221…シフトレジスタ

222、223…ラッチ回路

30 224…D/A変換器

225…駆動回路

300…液晶ディスプレイ

301…液晶セル

302…液晶ディスプレイ駆動回路

303…走査線選択回路

304…信号線

305…走査線

M_p …NチャネルMOSトランジスタ

M_n …PチャネルMOSトランジスタ

40 g_m …各増幅段のトランスコンダクタンス

v_i …増幅回路の入力信号電圧

v_1 …入力増幅段の出力電圧

v_2 …出力増幅段の出力電圧

v_o …増幅回路の出力信号電圧

V_{com} …液晶ディスプレイの共通電極の電圧

I …電流源

V_{dd} …第1の電源電位点

V_{ss} …第2の電源電位点

C_f …位相補償容量

50 C_1 …入力増幅段の出力端子に付いている容量成分

(13)

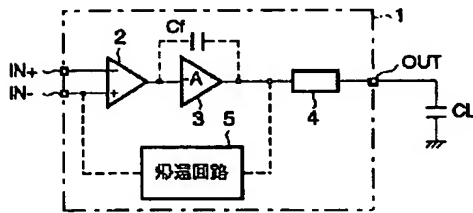
23

CL、CL1、CL2…負荷の容量成分

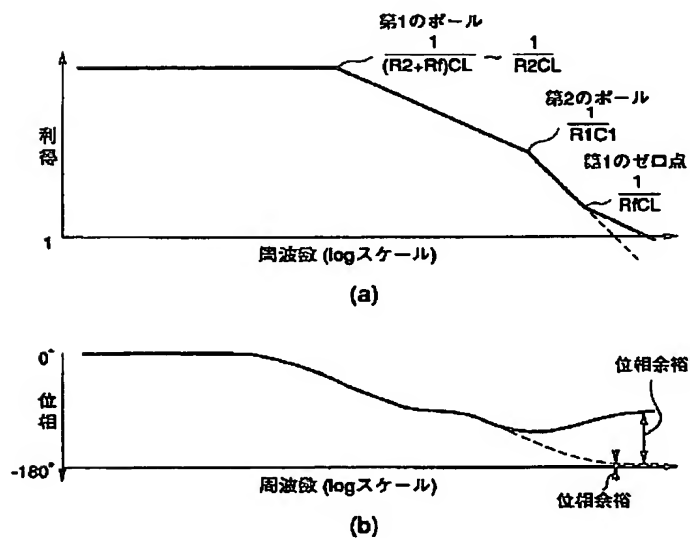
R1…入力増幅段の出力抵抗と出力増幅段の入力抵抗の
並列合成抵抗

R2…出力増幅段の出力抵抗

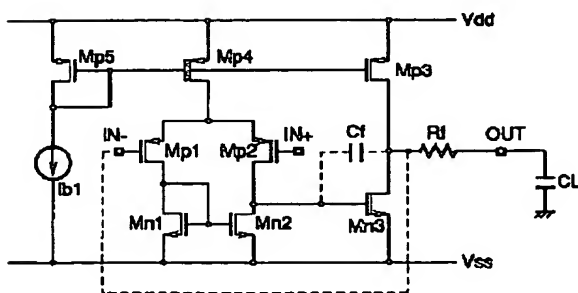
【図1】



【図3】



【図7】



24

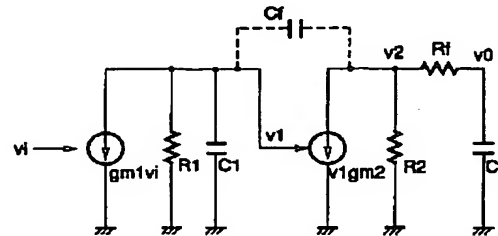
Rf…安定化のための抵抗

RL…負荷の抵抗成分

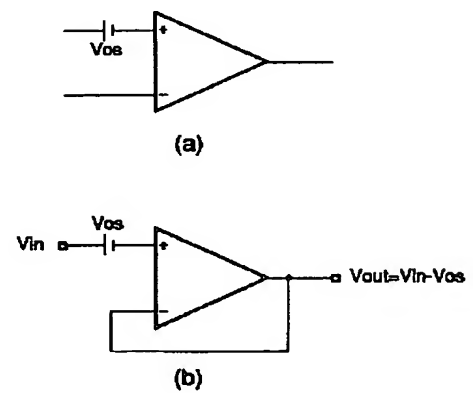
IN+, IN-…増幅回路の信号入力端子

OUT…増幅回路の信号出力端子

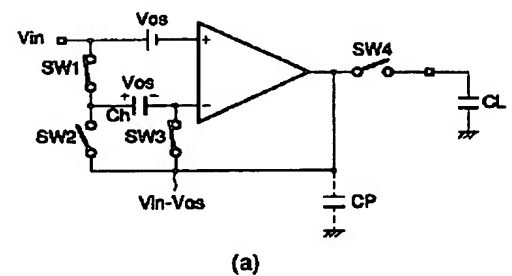
【図2】



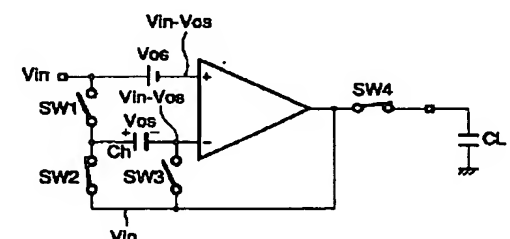
【図4】



【図5】

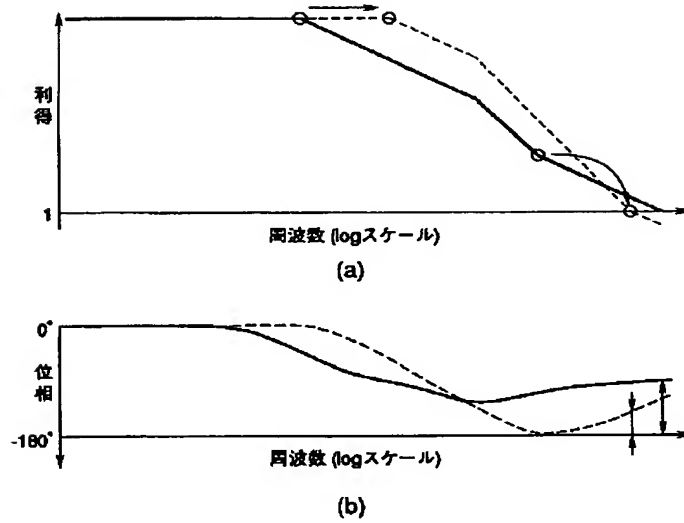


(b)

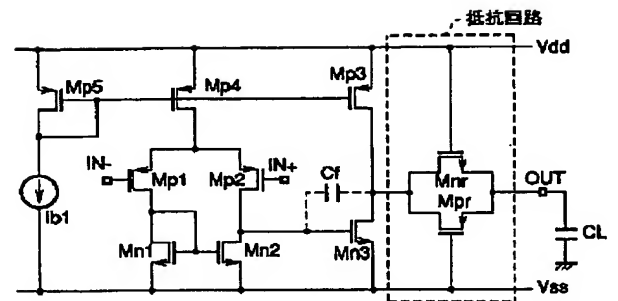


(14)

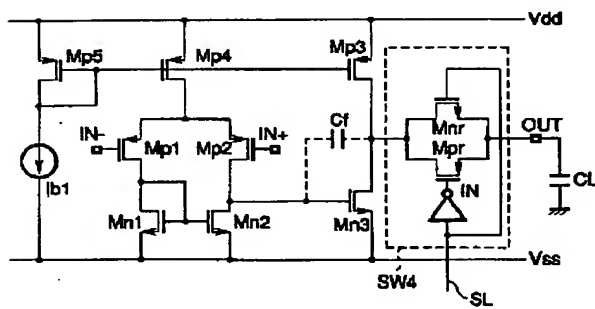
【図6】



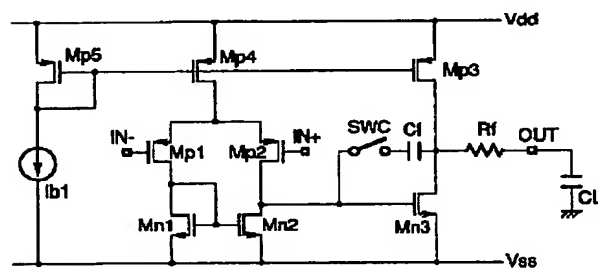
【図8】



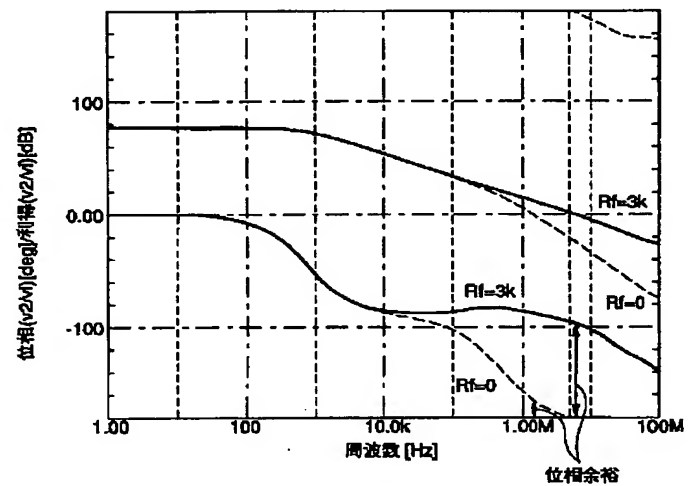
【図9】



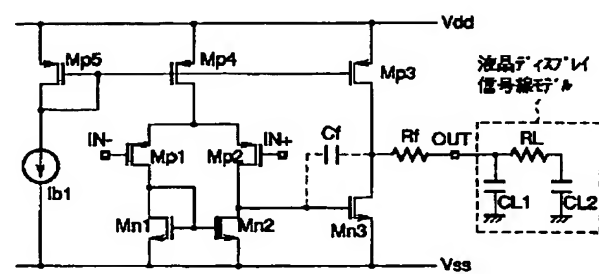
【図14】



【図10】

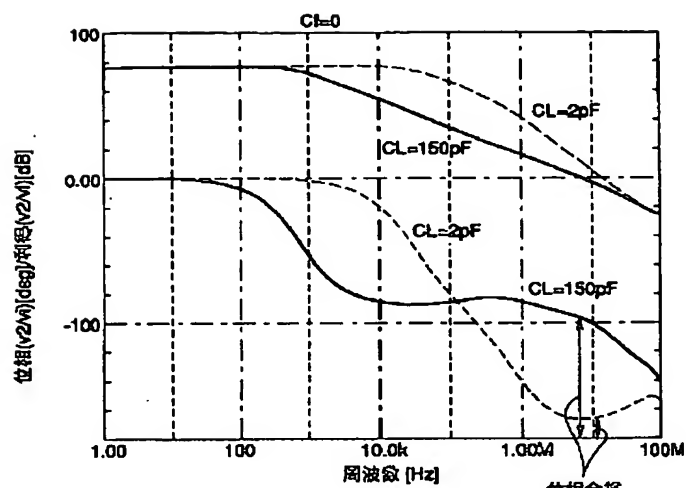


【図15】

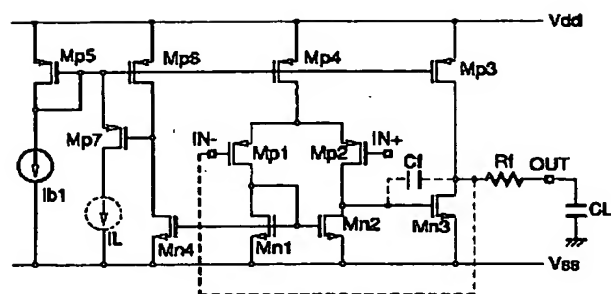


(15)

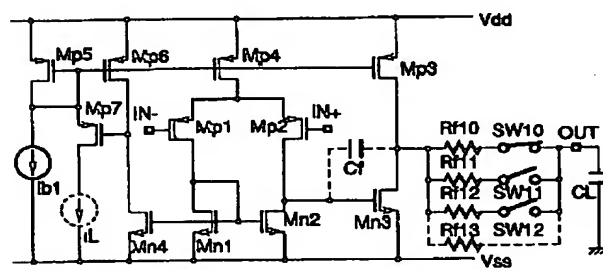
【図11】



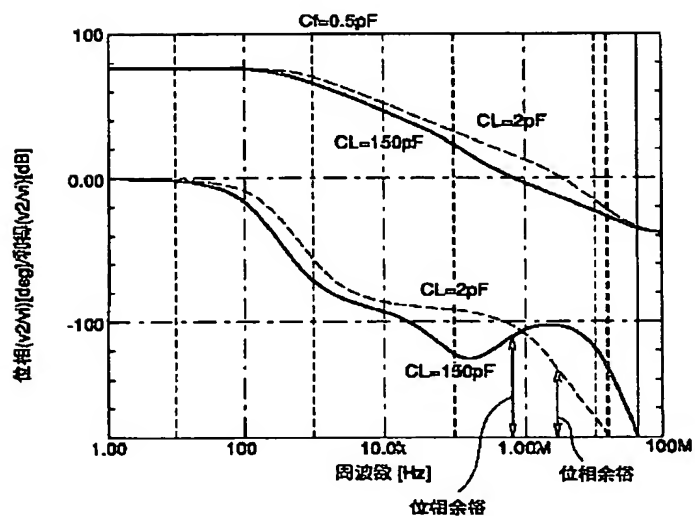
【図18】



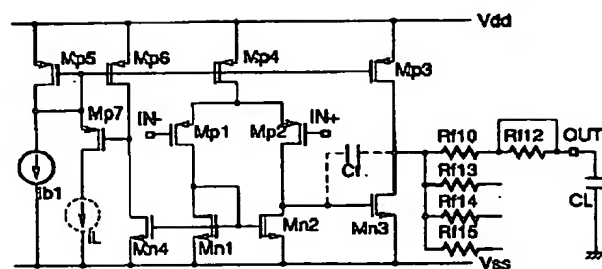
【図20】



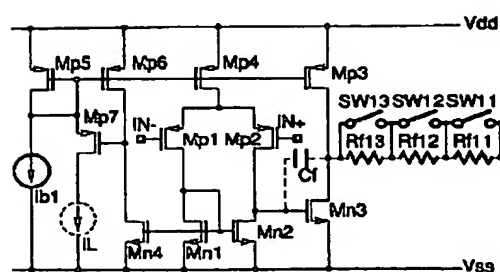
【図12】



【図22】

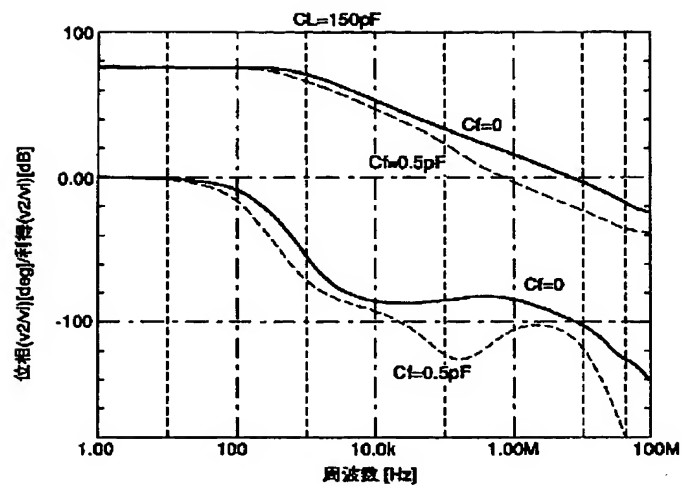


【図21】

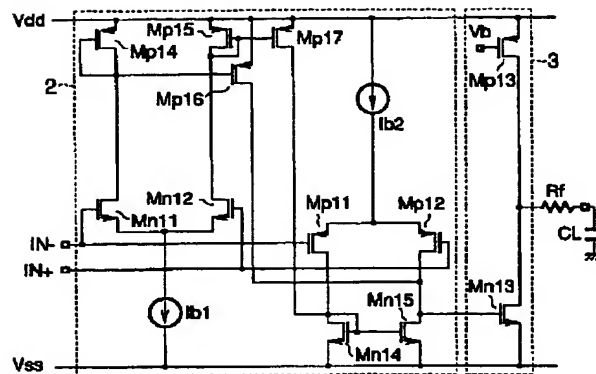


(16)

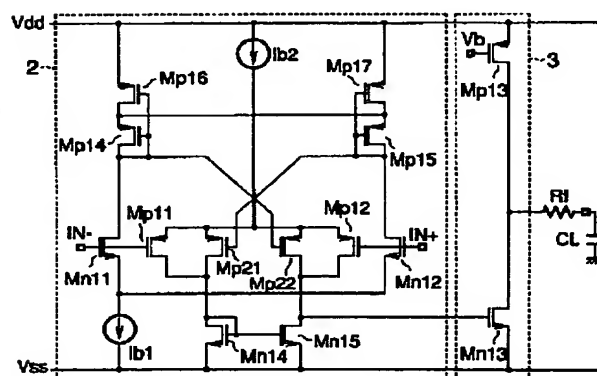
【図13】



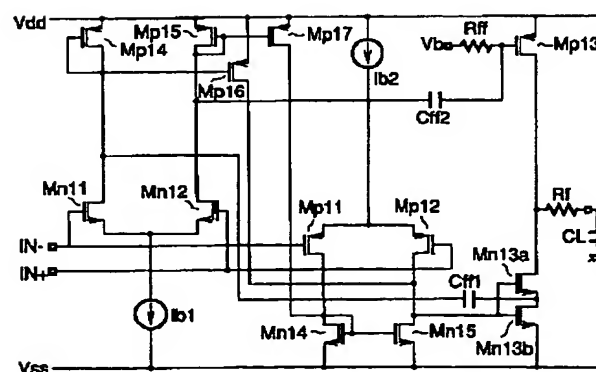
【図23】



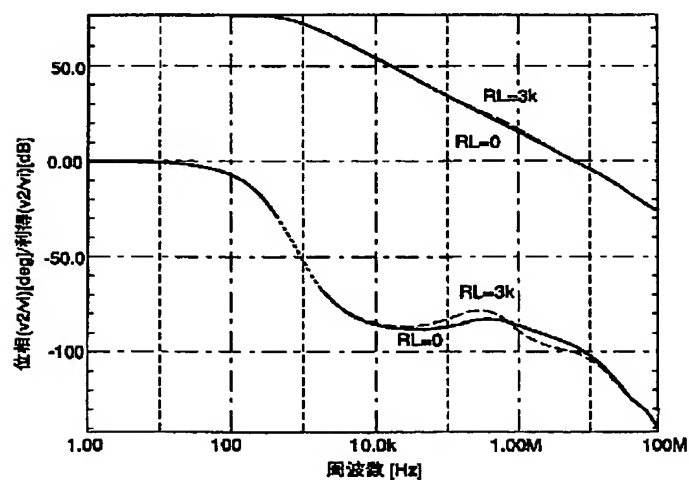
【図24】



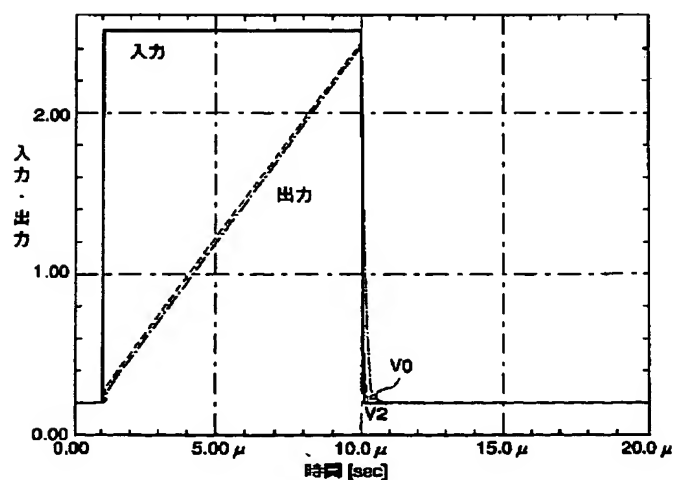
【図25】



【図16】

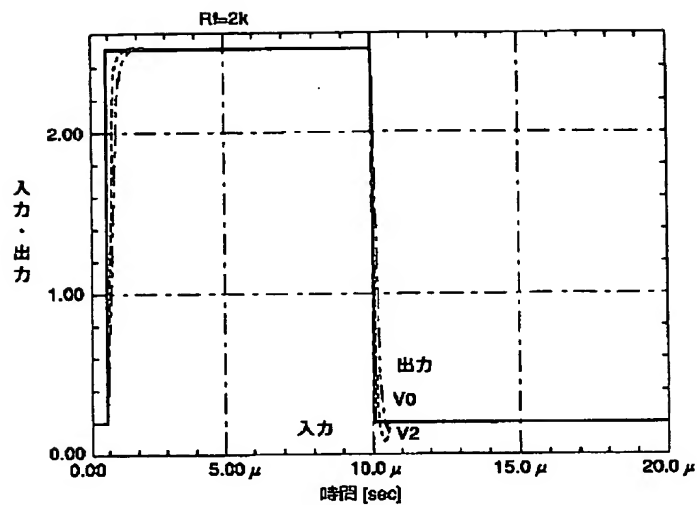


【図17】

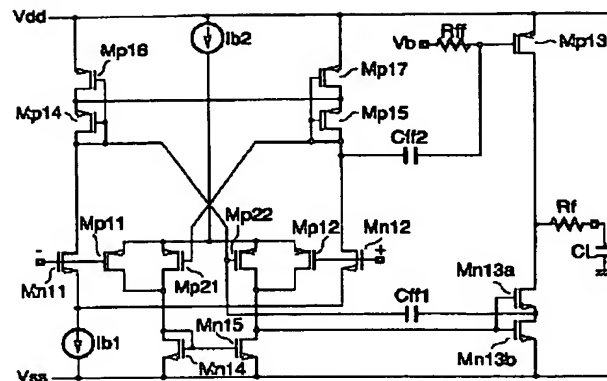


(17)

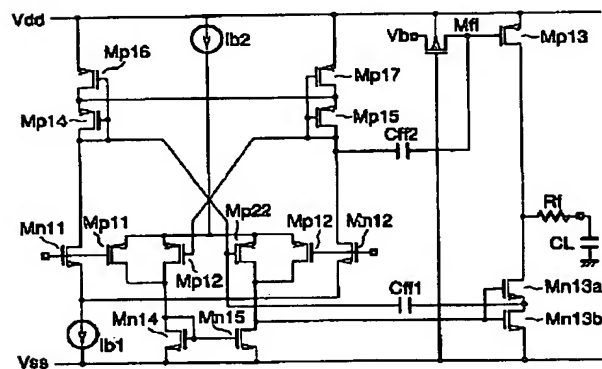
【図19】



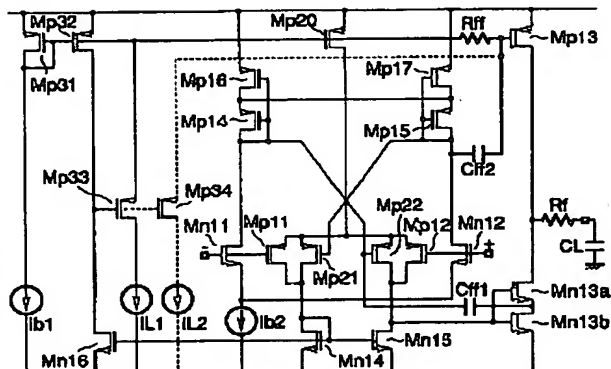
【図26】



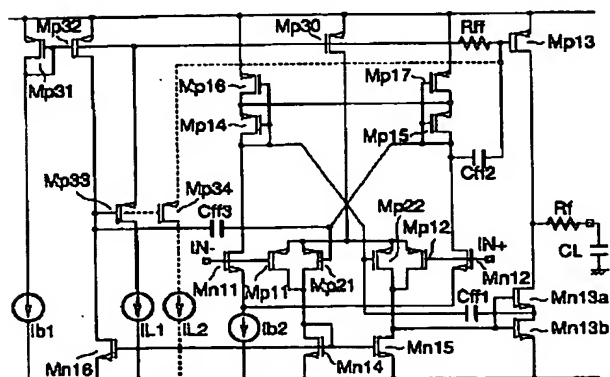
【図27】



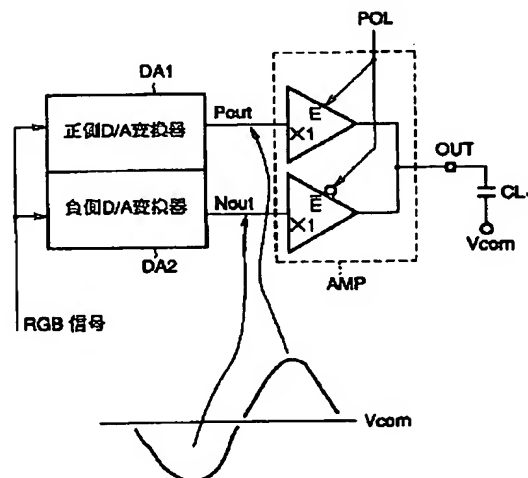
【図28】



【図29】

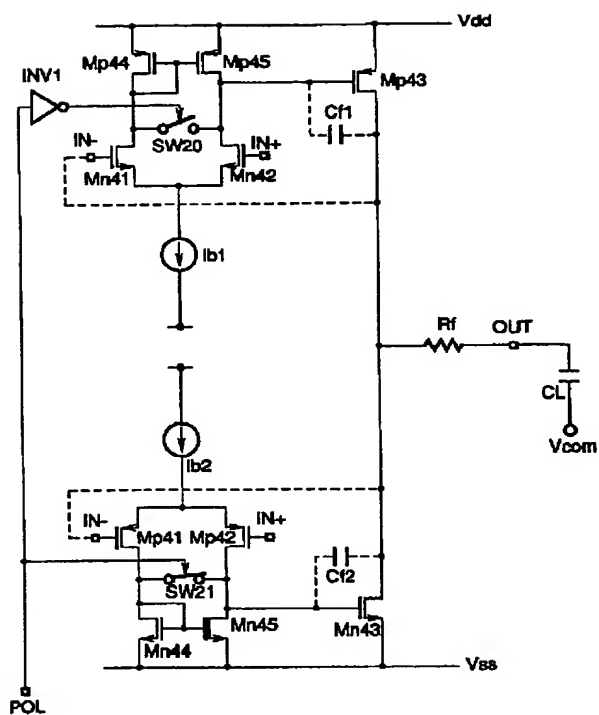


【図30】

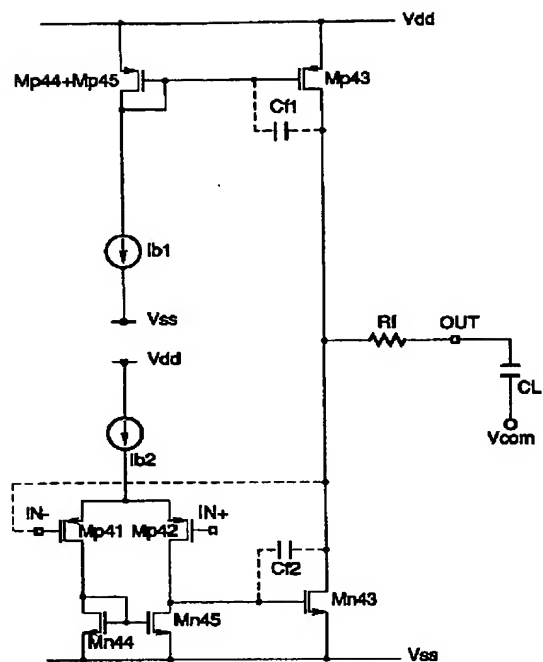


(18)

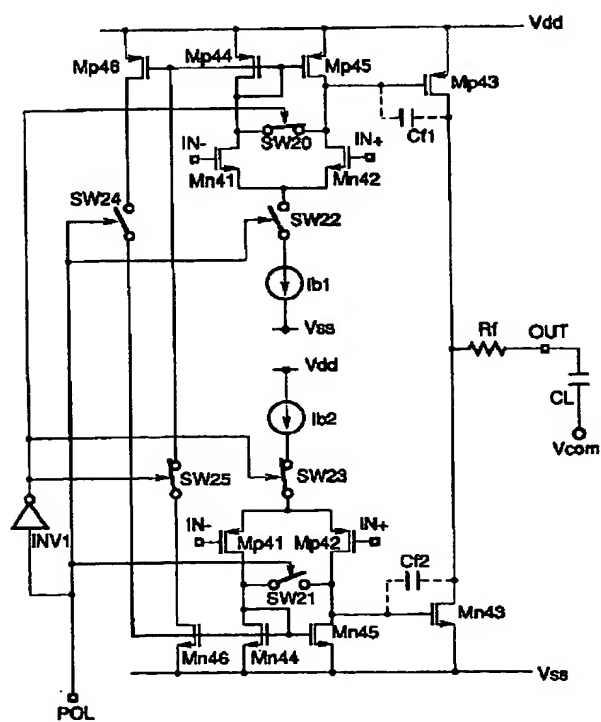
【図 3 1】



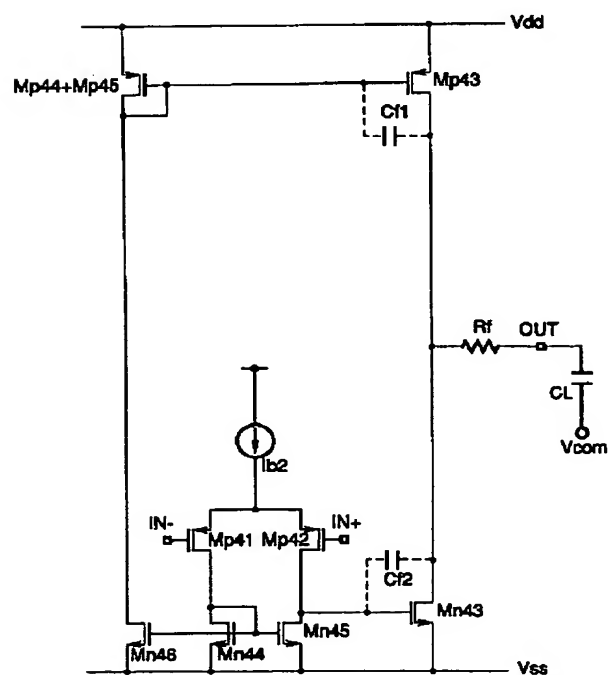
【図 3 2】



【図 3 3】

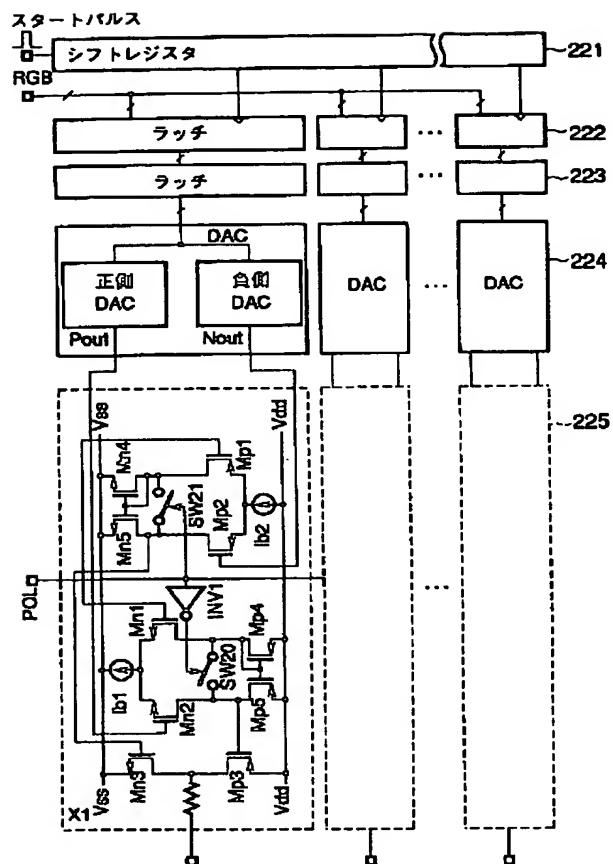


【図 3 4】

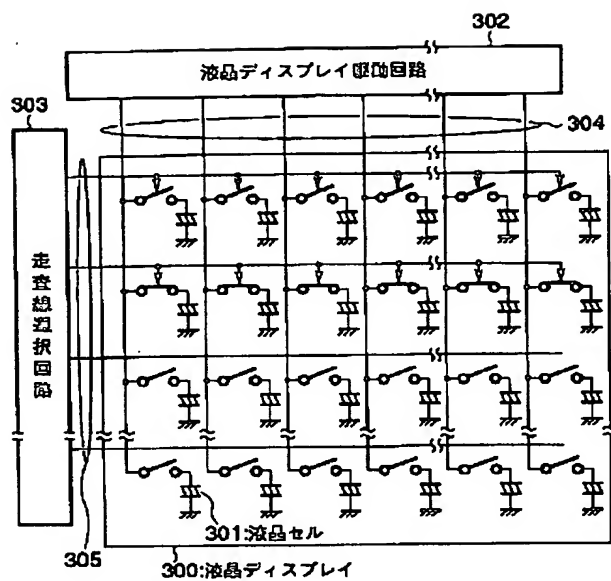


(19)

【図35】



【図36】



THIS PAGE BLANK (USPTO)